



INSTITUTO POLITÉCNICO NACIONAL

ESCUELA SUPERIOR DE INGENIERÍA MECÁNICA Y ELÉCTRICA
SECCIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN

**“DISEÑO E IMPLEMENTACIÓN DE UN REGULADOR DE VOLTAJE TAKAGI
SUGENO PARA UN GENERADOR SÍNCRONO”**

TESIS

QUE PARA OBTENER EL GRADO DE:

**MAESTRO EN CIENCIAS CON ESPECIALIDAD
EN INGENIERÍA ELÉCTRICA**

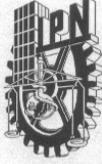
PRESENTA:

ING. CARLOS BARRAGÁN VILLEGAS.

Dr. Raúl Ángel Cortés Mateos
Director de Tesis.



MÉXICO D.F. 2008



INSTITUTO POLITECNICO NACIONAL
SECRETARIA DE INVESTIGACION Y POSGRADO

ACTA DE REVISION DE TESIS

En la Ciudad de México, D. F. siendo las 17:00 horas del día 17 del mes de Junio del 2008 se reunieron los miembros de la Comisión Revisora de Tesis designada por el Colegio de Profesores de Estudios de Posgrado e Investigación de E.S.I.M.E. ZAC para examinar la tesis de grado titulada:

“DISEÑO E IMPLEMENTACIÓN DE UN REGULADOR DE VOLTAJE TAKAGI-SUGENO PARA UN GENERADOR SÍNCRONO”

Presentada por el alumno:

BARRAGÁN
Apellido paterno

VILLEGAS
materno

CARLOS
nombre(s)

Con registro:

A	0	6	0	1	2	2
---	---	---	---	---	---	---

aspirante al grado de:

MAESTRO EN CIENCIAS CON ESPECIALIDAD EN INGENIERÍA ELÉCTRICA

Después de intercambiar opiniones los miembros de la Comisión manifestaron **SU APROBACION DE LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

LA COMISIÓN REVISORA

Director de tesis

DR. RAÚL ÁNGEL CORTÉS MATEOS

Presidente

DR. DAVID ROMERO ROMERO

Segundo Vocal

DR. JAIME JOSÉ RODRÍGUEZ RIVAS

Tercer Vocal

DR. DOMITILO LIBREROS

Secretario

DR. DAVID SEBASTIÁN BALTAZAR

Suplente

M. en C. TOMÁS IGNACIO ASIAÍN OLIVARES

EL PRESIDENTE DEL COLEGIO

DR. JAIME ROBLES GARCÍA





INSTITUTO POLITECNICO NACIONAL

COORDINACION GENERAL DE POSGRADO E INVESTIGACION

CARTA CESION DE DERECHOS

En la Ciudad de México, Distrito Federal, el día 20 del mes de Junio del año 2008, el (la) que suscribe **Ing. Carlos Barragán Villegas** alumno(a) del Programa de Maestría en Ciencias con especialidad en Ingeniería Eléctrica con número de registro A060122 adscrito a la Sección de Estudios de Postgrado e Investigación de la ESIME Unidad Zacatenco, manifiesta que es autor(a) intelectual del presente Trabajo de Tesis bajo la dirección del **Dr. Raúl Ángel Cortes Mateos** y cede los derechos del trabajo intitulado: **DISEÑO E IMPLEMENTACIÓN DE UN REGULADOR DE VOLTAJE TAKAGI-SUGENO PARA UN GENERADOR SÍNCRONO**, al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, graficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo. Este puede ser obtenido escribiendo a la siguiente dirección: carbvil@hotmail.com; rcortes@ipn.mx.

Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.

Carlos Barragán Villegas

Nombre y firma

A mis padres:

Carlos y Hermila por todo el apoyo y confianza incondicional que siempre me han brindado

A todos mis compañeros, familia, hermano y amigos así como a los seres queridos que en su recuerdo siempre estarán con nosotros y que formaron parte en esta etapa de mi vida

Muchas gracias!!!

Agradecimientos

Quiero agradecer al director de la tesis Dr. Raúl Ángel Cortes Mateos por su guía, consejos, enseñanzas académicas y personales y sobre todo mucha paciencia para la realización de esta tesis.

A mis compañeros de la maestría por todo su apoyo, consejos y amistad durante mi etapa en esta institución

A los profesores del departamento de ingeniería eléctrica de la sección de estudios de postgrado e investigación por los conocimientos brindados y sus sugerencias para enriquecer este trabajo.

Resumen

Los generadores síncronos son las máquinas más usadas para generar energía eléctrica. En la generación de energía eléctrica dentro de un sistema interconectado se requiere que la frecuencia y el voltaje en terminales permanezcan constantes ante diferentes disturbios que puedan presentarse.

Los sistemas de potencia son sistemas dinámicos y su operación es por naturaleza estocástica. Las características de estos sistemas son no lineales, así, los parámetros de los controladores que son adecuados para un grupo de condiciones de operación pueden no serlo para otras condiciones de operación.

Este proyecto es una aplicación de procesamiento de señales digitales (DSP) utilizando el microcontrolador MC56F8323, La función básica del proyecto es regular el voltaje de salida de un generador síncrono mediante variaciones en el voltaje de campo. El generador es trifásico de tipo experimental el cual se encuentra acoplado a un motor de CD estabilizado a una frecuencia a 60 Hz.

El control de voltaje de campo se realiza esencialmente con la técnica de Modulación de Ancho de Pulso (PWM). El problema central consiste en desarrollar una interfaz y programar un algoritmo de control difuso Takagi-Sugeno, para que el voltaje sea invariante al cambio en la carga y permanezca siempre dentro de una referencia deseada.

Abstract

Synchronous generators are the most used machines for electric energy generation, is required that frequency and voltage at end points stay constant in case of disturbs that could happen.

Power systems are dynamic systems and their operation is by nature stochastic. One of the characteristics of these systems is they are not lineal, so that, parameters of the controllers that are functional for a group of operating conditions, can not be functional for another different operating conditions.

This project is an application of Digital Signal Processing (DSP) using a microcontroller MC56F8323. Basic function of project is varying field voltage of a synchronous generator to control voltage at ending points. The three phase Generator is experimental type coupled to a DC engine stabilized at 60Hz.

Field Voltage control is realized essentially with Pulse Width Modulation (PWM). The main control problems are to develop an interface and to program a Takagi-Sugeno fuzzy algorithm in order to maintain voltage at desired reference and stay invariant to load changes.

TABLA DE CONTENIDO.

Agradecimientos.....	v
Resumen.....	vi
Abstract.....	vii
Lista de Figuras	xi
Lista de Tablas	xiv
Glosario.....	xv
<u>CAPÍTULO 1</u> INTRODUCCIÓN.....	1
1.1 Definición del Problema.	2
1.2 Objetivo.....	2
1.3 Justificación.	2
1.4 Estado del arte.....	3
1.5 Aportaciones.	6
1.6 Estructura del trabajo de tesis.....	6
<u>CAPÍTULO 2</u> CONTROL DIFUSO PI TAKAGI-SUGENO PARA UN REGULADOR DE VOLTAJE.....	8
2.1 Algoritmos de control	8
2.1.1 Control PI	8
2.1.2 Control Difuso	11
2.1.3 Sintonización de un control difuso tipo Takagi–Sugeno.....	15
<u>CAPÍTULO 3</u> DISEÑO DE HARDWARE.....	17
3.1 Procesador de Señales Digitales (DSP).	17
3.2 Acoplamiento Motor de CD – generador.....	19
3.2.1 Motor de CD.....	20
3.2.2 Máquina generadora síncrona.	21
3.3 Etapa de potencia	25
3.4 Etapa de Retroalimentación.....	29
3.5 Convertidor ADC.....	30
3.5.1 Controlador del tiempo de muestreo	30

CAPÍTULO 4	DISEÑO DEL SOFTWARE	31
4.1	Programación de periféricos	31
4.1.1	Controlador del tiempo de muestreo	31
4.1.2	Convertidor ADC	34
4.1.3	Temporizador	36
4.1.4	Modulación de Ancho de pulso (PWM)	37
4.1.5	Periférico de comunicación serial	40
4.2	Algoritmo de control PI Difuso Takagi-Sugeno	44
4.2.1	Programa Principal	44
4.2.2	Programa de Eventos	48
CAPÍTULO 5	PRUEBAS	53
CAPÍTULO 6	CONCLUSIONES Y RECOMENDACIONES PARA TRABAJOS FUTUROS	78
6.1	Conclusiones	78
6.2	Recomendaciones para trabajos futuros	79
	REFERENCIAS	80
	ÁPENDICES	83
A.	PROGRAMAS	83
A.1	Programas de Code Warrior	83
A.1.1	Principal	83
A.1.2	Eventos	92
B.	Características de periféricos del DSP56F8323	99
B.1	Periféricos del DSP56F8323	99
B.2	Características del ADC	100
B.3	Características de los temporizadores de cuadratura	101
B.4	Características de la interfaz de comunicación serial	102
B.5	Características de los pines GPIO	102
B.6	Capacidades del OnCE	103

B.7 Modulador de Ancho de Pulso (PWM).....	104
B.8 Joint Test Action Group (JTAG).....	104
C. Hojas de datos de los elementos empleados en la interfaz de potencia	105
D. Diagramas de conexión de los periféricos de la tarjeta CTPE-V4 al DSP	114
D.1 Conexión del DSP a sus periféricos	114
D.2 Entradas Analógicas.....	115
D.3 Conector de comunicaciones y programación.....	116
D.4 Salidas.....	117

Lista de Figuras

Figura 1.1 Diagrama a bloques del proyecto.....	1
Figura 2.1 Bloque del control PI	9
Figura 2.2 Gráfica del control PI.....	10
Figura 2.3 Gráfica de salida PI	10
Figura 2.4 Comparación de los algoritmos de control difuso de Takagi – Sugeno y Mamdani.....	12
Figura 2.5 Funciones de membresía de tipo trapezoidal para la variable de entrada.....	13
Figura 2.6 Esquema del controlador difuso aplicado al regulador de voltaje	15
Figura 3.1 Tarjeta de desarrollo CTPE-V4	18
Figura 3.2 Grupo Motor Generador	24
Figura 3.3 Circuito para el control del Vf de un generador síncrono.	26
Figura 3.4 Etapa de alimentación de los dispositivos de la interfaz	28
Figura 3.5 Circuito para la retroalimentación del voltaje de campo del generador síncrono.....	29
Figura 4.1 Programación de la frecuencia de muestreo del puerto ADC	33
Figura 4.2 Diagrama de flujo de la interrupción del ADC	35
Figura 4.3 Configuración del ADC.....	36
Figura 4.4 Configuración del Temporizador	37
Figura 4.5 Diagrama del PWM	39
Figura 4.6 Configuración del PWM.....	39
Figura 4.7 Diagrama de transmisión de datos a través del puerto serie	40

Figura 4.8 Diagrama de recepción de datos a través del puerto serie	41
Figura 4.9 Configuración del periférico de comunicación serial	42
Figura 4.10 Configuración de la hyperterminal de Windows	43
Figura 4.11 Configuración del envío y recepción de caracteres ASCII a través de la hyperterminal de Windows	43
Figura 4.12 Diagrama del programa principal	45
Figura 4.13 Diagrama de la función Calc_DFT()	46
Figura 4.14 Diagrama de la función hyperterminal.....	47
Figura 4.15 Diagrama de interrupción del temporizador	49
Figura 4.16 Diagrama de funciones de membresía.....	50
Figura 4.17 Diagrama de implicaciones Sugeno	51
Figura 4.18 Salida real con los valores difusos	52
Figura 5.1 Medición del Vrms a través de la hyperterminal sin carga	55
Figura 5.2 Medición del Vrms a través de la hyperterminal con carga	55
Figura 5.3 Medición de la corriente sin carga.....	56
Figura 5.4 Medición de la corriente con carga.....	57
Figura 5.5 Primer paso de la sintonización	58
Figura 5.6 Segundo paso de la sintonización.....	59
Figura 5.7 Tercer paso de la sintonización.....	60
Figura 5.8 Quinto paso de la sintonización	61
Figura 5.9 Sexto Paso de la sintonización	62
Figura 5.10 Séptimo paso de la sintonización	63
Figura 5.11 Octavo paso de la sintonización.....	63
Figura 5.12 Noveno paso de la sintonización.....	65
Figura 5.13 Sintonización de control PI lento	66

Figura 5.14 Sintonización de control PI lento	67
Figura 5.15 Sintonización de control PI lento	68
Figura 5.16 control PI lento sin carga.....	68
Figura 5.17 Control PI rápido	69
Figura 5.18 Control PI rápido	69
Figura 5.19 Control PI rápido sin carga.....	70
Figura 5.20 Control PI rápido sin carga.....	71
Figura 5.21 Control PI rápido sin carga.....	71
Figura 5.22 Control Difuso sin carga	72
Figura 5.23 Control Difuso con carga.....	73
Figura 5.24 Gráfica del error con el control PI lento	73
Figura 5.25 Gráfica del cambio del error con el PI lento	74
Figura 5.26 Gráfica del error con el control PI rápido.....	74
Figura 5.27 Gráfica del error con el control difuso.....	75
Figura 5.28 Gráfica del cambio del error con el control difuso	76
Figura 5.29 Gráfica de estabilidad PI lento	76
Figura 5.30 Gráfica de estabilidad del PI rápido.....	77
Figura 5.31 Gráfica de estabilidad del PI difuso.....	77
Figura B.1 Bloques de dispositivos del microcontrolador DSP56F8323.....	99

Lista de Tablas

Tabla 4.1 Frecuencia de la señal a muestrear y muestras a obtener	32
Tabla 4.2 Cálculo del contador de acuerdo a las frecuencia de muestreo deseada	33
Tabla 5.1 Comportamiento de la Frecuencia contra la potencia a un voltaje constante	57

Glosario

A.	Amperes.
ADC	Convertidor Analógico a Digital.
ALU	Unidad aritmética lógica.
AGU	Unidad de generación de direcciones
AVR	Regulador automático de voltaje
B	Coefficiente de fricción
CA	Corriente alterna
CD	Corriente directa
CMOS/TTL	Tecnologías utilizadas para crear circuitos integrados.
cos	Coseno.
CTPE	Control de transferencia de potencia eléctrica
D	Ciclo de trabajo (Duty cycle)
DFT	Transformada discreta de Fourier.
DECS	Sistema de control mediante excitación digital
DSP	Procesador de señales digitales
ε	Fuerza electromotriz inducida
$e(k)$	Error actual
$e(k-1)$	Error anterior
e_b	Fuerza contraelectromotriz
ealto	Grado de membresía alto
ebajo	Grado de membresía bajo
EEPROM	Memoria solo de lectura programable y borrrable eléctricamente.
f	Frecuencia
FEM	Fuerza electromotriz
fmax	Frecuencia máxima a muestrear
FM	Frecuencia de muestreo
$f.p.$	Factor de potencia.

f	Frecuencia
f_{OPDSP}	Frecuencia de operación del DSP
GND	Ground (conexión eléctrica a tierra)
GPIO	Pines de entrada y/o salida de propósito general.
Hz	Hertz.
i	Coefficiente para puntos de la señal seno y coseno.
i_a	Corriente de armadura
I	Magnitud de corriente.
Im	Magnitud imaginaria de los coeficientes de Fourier
IEEE	Instituto de ingenieros eléctricos y electrónicos
If	Corriente de fase
IGBT	Transistor de compuerta bipolar aislada
H	Constante de inercia
H	Henrios
j	Número complejo.
JTAG	Puerto para prueba del núcleo.
k	Coefficiente para cada una de las frecuencias.
k_n	Coefficientes auxiliares en obtención de la serie de Fourier.
k_m	Constante de proporcionalidad
ki	Ganancia integral
kp	Ganancia proporcional
kg-m ²	kilogramo por metro cuadrado
KVA	Kilo Volts Amperes
Kw	kilowatts
mA	miliamperes
mH	milihenrios
mS	milisegundos
mV	milivolts
MW	Megawatts
N-m	Newton-metro
nS	nanosegundos

P	Número de Polos
PC	Computadora personal.
PI	Proporcional Integral
PID	Proporcional Integral Derivativo
PWM	Modulación por ancho de pulso
p. u.	Por unidad
rad	radianes
RAM	Memoria de acceso aleatorio.
Re	Magnitud real de los coeficientes de Fourier
rpm	Revoluciones por minuto
RS-232	Estándar que norma la comunicación serial.
RS-485	Estándar utilizado para transmisión en largas distancias
SC	Comunicación serial.
SC0	Puerto serial 0 del Microcontrolador DSP.
SC1	Puerto serial 1 del Microcontrolador DSP.
seg	Segundo
sen	Seno.
T	Periodo o inverso de la frecuencia
TAP	Puerto de acceso de pruebas
Ti	Tiempo integral
T_m	Par del motor
T _{ON}	Tiempo de ancho de pulso positivo
U de uC	Unidades de microcontrolador
ualto	Grado de pertenencia alto o rápido
ubajo	Grado de pertenencia bajo o lento
u(k)	Salida actual
u(k-1)	Salida anterior
uS	microsegundos
VA	Volt - Ampere.
VAR	Volt - Ampere reactivo.
VCD	Voltaje de corriente directa.
Vf	Voltaje de campo

Vrms	Root Mean Squared Voltage (Voltaje efectivo de CA)
V	Magnitud de voltaje.
V	Volts.
vs	Versus
W	Watts.
Y	Conexión estrella
Z	Transformada zeta
Δ	Conexión delta
ϕ	Flujo magnético
ϕ_m	Velocidad del eje del motor

CAPÍTULO**1****INTRODUCCIÓN**

Este proyecto es una aplicación de procesamiento de señales digitales (DSP) utilizando el microcontrolador MC56F8323.

La función básica del proyecto consiste en variar el voltaje de campo (V_f) de un generador síncrono para controlar el voltaje de salida de este.

Se desarrolla un dispositivo de hardware a fin de lograr la interfaz de potencia que permite la comunicación entre el DSP y el voltaje de campo del generador así como su retroalimentación monitoreando mediante el DSP una fase de salida del generador.

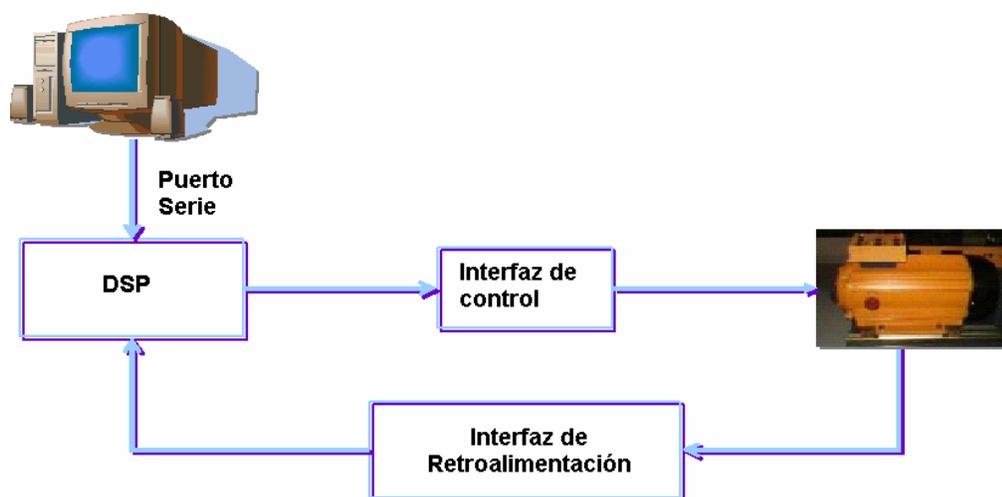


Figura 1.1 Diagrama a bloques del proyecto

El software consiste principalmente en el diseño de un algoritmo de control difuso de tipo PI Takagi-Sugeno, el cual mide el voltaje de salida del generador “Vrms”, calcula el error y calcula el incremento a la salida del voltaje de campo, mediante el periférico modulador de ancho de pulso (PWM) a fin de mantenerlo constante ante variaciones en la carga.

El hardware consiste en la interfaz de salida PWM del DSP al voltaje de campo del generador y la interfaz de entrada del convertidor analógico digital ADC para retroalimentar una fase del generador.

1.1 Definición del Problema.

Este consiste en desarrollar un regulador de voltaje inteligente para una máquina síncrona de laboratorio. La propuesta de solución es mediante un DSP y un algoritmo de control difuso de tipo PI que permita mediante una interfase de hardware controlar el voltaje de campo del generador, así como permitir la retroalimentación del voltaje de salida al DSP.

1.2 Objetivo

Implementar un regulador de voltaje inteligente controlado por un DSP para un generador síncrono de laboratorio utilizando lógica difusa.

1.3 Justificación.

En el laboratorio de sistemas digitales se cuenta con una mini red de máquinas eléctricas, pero no cuentan con reguladores de voltaje ni gobernadores de velocidad, por eso se requiere, desarrollar e implementar un regulador de voltaje Takagi-Sugeno

controlado por un DSP y lógica difusa. Además de proporcionar una plantilla desarrollada en lenguaje C que sirva para futuras aplicaciones de lógica difusa.

1.4 Estado del arte.

1.A.H.M.S. Ula y Abul R. Hasan. en su artículo de 1992 “Design and implementation of a personal computer based automatic voltage regulator for a synchronous generator” Diseñan un regulador de voltaje controlado mediante una PC IBM a través de una tarjeta de adquisición de datos IBM.

El software utilizado se desarrolla en lenguaje ensamblador para la familia de microprocesadores 8088. El generador síncrono es de 5KVA. La técnica de control usada es la del lugar de las raíces en el dominio de Z. Los resultados obtenidos comparados con la simulación resultan ser muy aproximados. [1]

2. A. Godhwani y M.J. Basler en su artículo de 1996 “A digital excitation control system for use on brushless excited synchronous generators” proponen una metodología para el sistema de control mediante excitación digital (DECS) el cual es un microprocesador que regula varias cantidades de salida de un generador síncrono.

El microprocesador compara el voltaje medido con una entrada de referencia. La entrada de “error” se utiliza como una entrada del algoritmo de control, el cual provee una salida que se utiliza hacia la etapa del amplificador de potencia

El diagrama de bloques básico para la excitación de generadores síncronos sin escobillas es el que se basa en el estándar IEEE 421.5 tipo AC5A. En lugar del bloque de adelanto (Lead-Lag) se utiliza un controlador PID el cual es implementado en un microcontrolador de 8 bits.

El algoritmo de control PID utiliza un intervalo de tiempo dado por el usuario, el cual se calcula mediante un parámetro llamado cuarto de tiempo de ciclo (QCT) el valor común es de 12.5 ms para 60Hz.

Los valores del PID utilizados son versiones discretizadas de los valores analógicos más comunes. Pueden ser obtenidos de una tabla o de un programa en C provisto por el fabricante. [2]

3. R. Cortes En su tesis de doctorado de 1997 “Control de excitación difuso de un generador síncrono” Presenta el diseño e implementación de un control de excitación difuso para un generador síncrono utilizando un microcontrolador de 8 bits y tiristores, efectuando simulaciones y pruebas de laboratorio cumpliéndose el objetivo de la tesis de desarrollar una metodología para un regulador difuso, además de probar su estabilidad y el diseño del prototipo de tipo industrial[3]

4. M.G. McArdle, D.J. Morrow P.A.J. Calvert y O.Cadel En el artículo del 2000 “A fuzzy tuning PID automatic voltage regulator for small salient pole alternators” Utilizan un algoritmo PID difuso con cinco funciones de membresía para efectuar el algoritmo de control implementado en un microcontrolador de 32 bits.

Las operaciones del AVR digital se dividen en tres secciones: Medición de voltaje, sección de control, etapa de potencia.

La etapa de la medición de voltaje tiene como propósito medir el error en el lazo de control.

La sección de control se divide en dos etapas. La primera de ellas es la implementación del algoritmo PID utilizado en la referencia 1

La segunda etapa consiste en la sintonización del algoritmo del PID con lógica difusa

Finalmente llega la etapa de potencia. El artículo no abunda en demasiados detalles al respecto. La sección de las pruebas fue implementada en un alternador de 30 kVA.

Para simular un cambio en la demanda se logra disminuyendo el voltaje de referencia en determinado instante de tiempo. Se menciona que para un sobretiro es necesario implementar una función llamada: “ramp-up function for voltaje build-up”. Con esta implementación el sobretiro se reduce de 15% a 2.3%. La desventaja es que esta última implementación debe ser sintonizada para cada uno de los alternadores si es que estos funcionan en paralelo.

El algoritmo de control difuso PID provee muchos mejores resultados de sobretiro.

Se hicieron pruebas de aplicación y rechazo de carga. Aparentemente en estas pruebas tiene mejores resultados el control analógico, por lo que se hacen recomendaciones para las mejoras del controlados digital y el algoritmo [4]

5. **Richard C Schaefer y Kiyong Kim** en su artículo del 2001 “Excitation control of the synchronous generator” utilizan un control PID basado principalmente en el estándar IEEE 421.2 “Guide for identification, testing and evaluation of the dynamic performance of excitation control systems”[28]. El control se realizó variando las ganancias proporcional, integral y derivativa hasta obtener un comportamiento óptimo tanto en sobretiro como en su salida. Se realizaron comparaciones entre el sistema analógico y el sistema digital dando mejores resultados sobre todo durante el sobretiro, de 303V se reduce hasta 48V además de tener una interfaz gráfica para realizar cambios a las características del control.[5]

6. **C S Hoong S Taib, K S Rao y I Daut** en su artículo del 2004 “Development of automatic voltage regulator for synchronous generator” Desarrollan un AVR para un generador síncrono usado en aplicaciones industriales. El control principal se efectúa mediante un tiristor utilizado para controlar el voltaje de excitación. Las pruebas realizadas antes del AVR con una carga trifásica máxima mostraron que el circuito se mantenía estable con una frecuencia (f) de 52Hz y una corriente de fase de 1.2A

La etapa de desarrollo del sistema consiste de la etapa de encendido y auto excitación en que una vez que la salida del generador alcanza los 150V dispara el circuito para pasar a la etapa del regulador de voltaje.

También lleva en su diseño final varias etapas supresoras de ruidos las cuales sirven para rectificar la señal de salida debido a su diseño mecánico

Para la etapa de disparo del circuito se utiliza el tiristor, el cual controla el ángulo de fase de la parte positiva del disparo del tiristor[6]

7. **Saiful Jamaan, Md Shah Majad, Mohd Wazir Mustaffa y Hasimah Abdul Rahman** en su artículo del 2004 “A comparative study of PI and fuzzy logic automatic voltage regulator of a micro-alternator system” comparan el control de un regulador de voltaje con un algoritmo PI y después con lógica difusa. El software utilizado para el

diseño del algoritmo es Borland Delphi el cual es implementado en una PC IBM. El generador síncrono tiene una capacidad de 5kVA. El control con lógica difusa muestra mejores resultados. [7]

1.5 Aportaciones.

- Proporcionar a la SEPI ESIME ZACATENCO un regulador de voltaje implementado en su respectivo módulo junto con su interfaz de potencia.

- Proporcionar el programa de implementación del software en lenguaje C como una plantilla, para que a partir de esta se desarrollen aportaciones y trabajos a futuro.

1.6 Estructura del trabajo de tesis.

En el capítulo 2 se describe la teoría de los algoritmos de control utilizados en este proyecto.

En el capítulo 3 se detalla el hardware utilizado en este proyecto el cual consiste en la maquina generadora a controlar, en la interfaz de potencia y su construcción, así como en la tarjeta de desarrollo del DSP empleada

En el capítulo 4 se describe el software que se utilizó para la programación del DSP. Esto incluye la programación de los periféricos así como la descripción del algoritmo de control

En el capítulo 5 se muestran los resultados de las pruebas obtenidas al realizar el control operando la maquina generadora a través de la interfaz de potencia

En el capítulo 6 se detallan las conclusiones obtenidas con la realización de esta tesis, así como los alcances obtenidos y las recomendaciones para aplicaciones futuras.

En los apéndices se muestra el código utilizado, la descripción de los periféricos del DSP, las hojas de datos de los dispositivos empleados en la interfaz, y los diagramas esquemáticos de la tarjeta de desarrollo usada.

CAPÍTULO

2

CONTROL DIFUSO PI TAKAGI-SUGENO PARA UN REGULADOR DE VOLTAJE

2.1 Algoritmos de control

A continuación se expone una breve introducción de los algoritmos de control utilizados para el desarrollo del proyecto, partiendo del control convencional tipo PI al control difuso Takagi-Sugeno

2.1.1 Control PI

En el sistema de control proporcional la acción de control es directamente proporcional al error, o sea que si no hay error no hay acción de control, por eso en un control proporcional siempre debe de existir un error.

Se entiende como error la diferencia entre el punto de operación deseado y el valor actual de la variable controlada.

El control Proporcional Integral, agrega a la acción de control proporcional un valor proporcional a la integral del error, compensando el error que existe cuando solo se tiene la acción proporcional [8,18].

Este control PI se obtiene por la combinación lineal de las acciones del control proporcional e integral, de manera que la ley de control es de la forma:

$$u(t) = k_p e(t) + \frac{k_p}{T_i} \int_0^t e(t) dt \quad 2.1$$

$$G_c(s) = \frac{U(s)}{E(s)} = k_p \left(1 + \frac{1}{T_i s} \right) \quad 2.2$$

Con

$$k_i = \frac{k_p}{T_i} \quad 2.3$$

Donde k_p es la ganancia proporcional y T_i es el tiempo integral

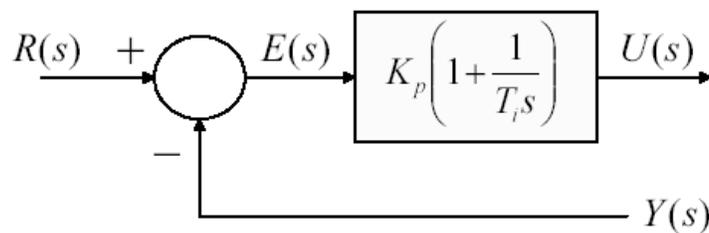


Figura 2.1 Bloque del control PI

En la figura 2.1 se muestra el diagrama a bloques de un control PI, donde se observa un sumador para obtener el error a partir de la diferencia de la referencia $R(s)$ y la salida de la planta $Y(s)$, la función de transferencia del control PI y la salida de control $U(s)$.

La gráfica mostrada en la figura 2.2 corresponde a las diferentes respuestas proporcionadas por el bloque de salida, donde la línea indicada con $e(t)$ corresponde al error, la línea indicada con $K_p e(t)$ corresponde a la salida de un control proporcional, la línea indicada con $\frac{K_p}{T_i} \int e(t) dt$ corresponde a la salida de un control integral y la línea indicada con $u(t) = K_p e(t) + \frac{K_p}{T_i} \int e(t) dt$ corresponde a la salida de un control proporcional integral, de la cual se muestra su respuesta típica en la figura 2.3.

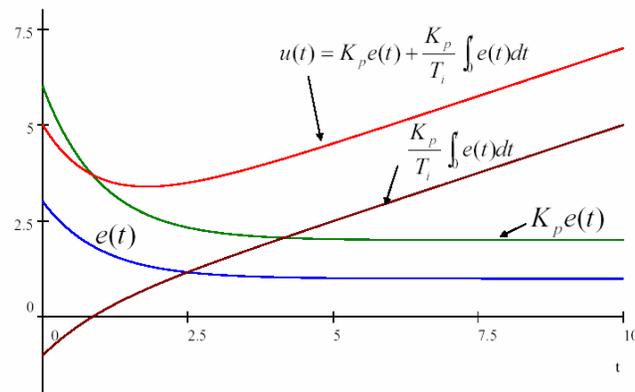


Figura 2.2 Gráfica del control PI

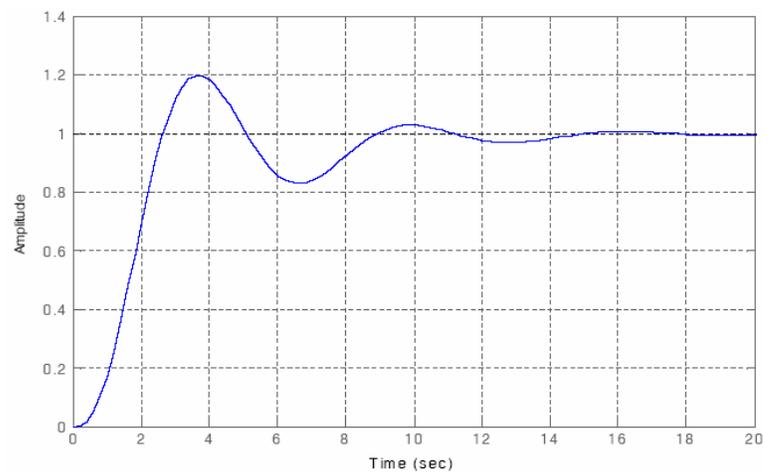


Figura 2.3 Gráfica de salida PI

2.1.2 Control Difuso

A partir de la publicación en 1965 del reporte llamado conjuntos difusos hecho por Lotfi Zadeh, profesor de la Universidad de California en Berkeley, se desarrolló formalmente la teoría de sistemas multivaluados y se introdujo el término difuso en la literatura técnica [9,10]. La lógica difusa a diferencia de la lógica Booleana, cuenta con múltiples valores. En lugar de que sea 100% verdadero o falso, la lógica difusa considera grados de verdad, esto quiere decir que una proposición puede ser parcialmente verdadera o parcialmente falsa [9,11].

En los últimos años el control difuso ha surgido como una de las áreas más activas en la aplicación de la teoría de los conjuntos difusos. Los controles difusos están basados en la lógica difusa, que es lo más cercano al pensamiento humano y a los sistemas lógicos tradicionales. En esencia un controlador lógico difuso contiene un algoritmo capaz de convertir una estrategia de control lingüística en una estrategia de control automática.

Dentro de la lógica difusa existen dos métodos muy conocidos que son: Mamdani y Takagi-Sugeno [9,12,13]. De estos dos métodos el algoritmo empleado para el control de regulación de voltajes será el de Takagi-Sugeno. La razón principal radica en que este algoritmo tiene la característica de ocupar muy poco espacio de memoria, cuando se realiza la programación para la implementación en sistemas integrados por medio de microcontroladores o DSP.

Otra ventaja del método de Takagi Sugeno es que se puede realizar un análisis de estabilidad. [3]

La característica antes mencionada puede ser vista en la figura 2.4 ya que en ella se muestra la comparación en diagrama a bloques del algoritmo de Takagi – Sugeno y el algoritmo de Mamdani [9,3,12,13].

Para describir como se obtuvo el diseño del regulador de voltaje para el arreglo motor de CD – generador empleando el algoritmo de Takagi–Sugeno, es necesario auxiliarse de la figura 2.4

Algoritmo de Takagi – Sugeno

Algoritmo de Mamdani

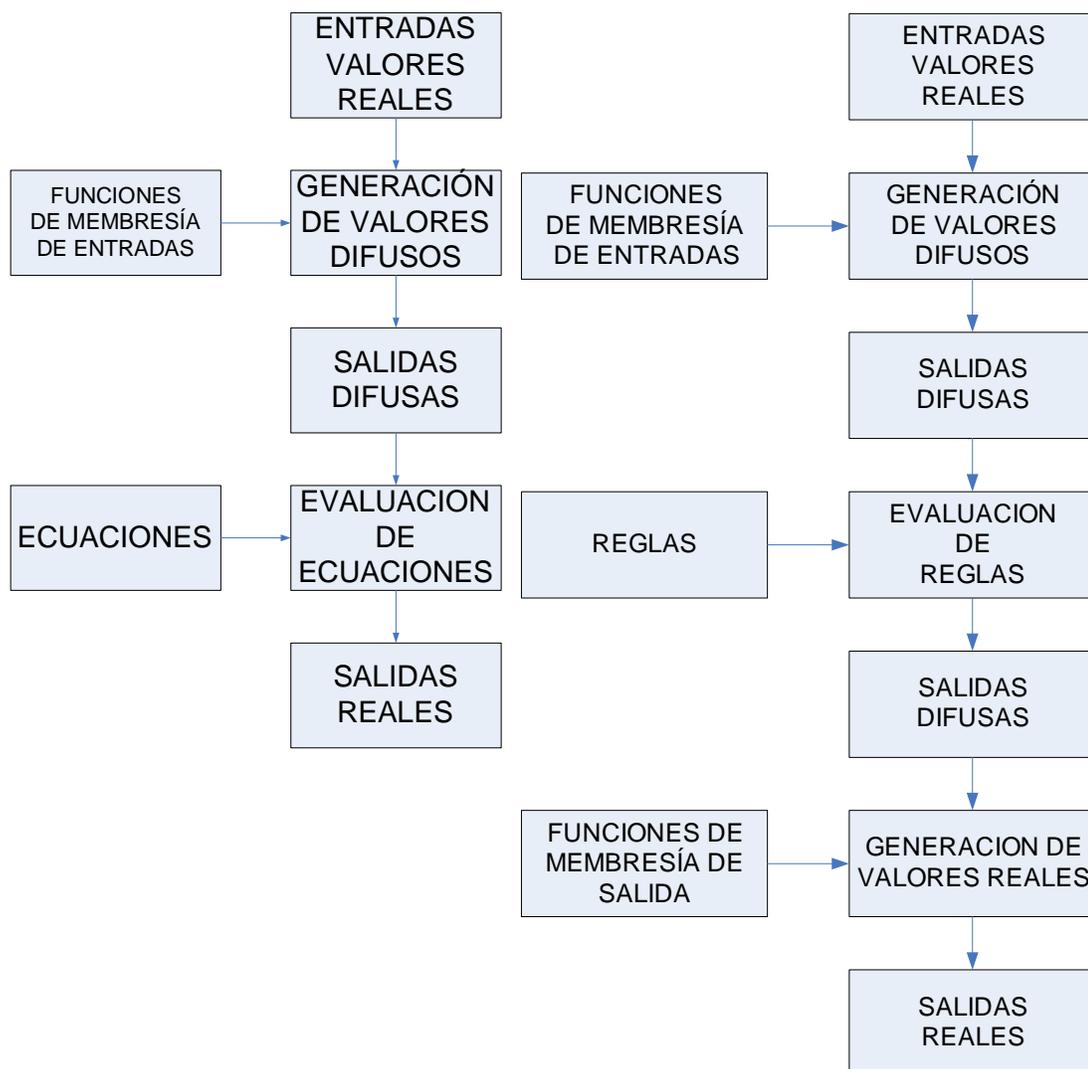


Figura 2.4 Comparación de los algoritmos de control difuso de Takagi – Sugeno y Mamdani.

En ella se puede ver que se necesita una etapa de generación de valores difusos mediante funciones de membresía de entrada. Para ello se consideran las funciones de membresía de tipo trapezoidal tal como lo muestra figura 2.5.

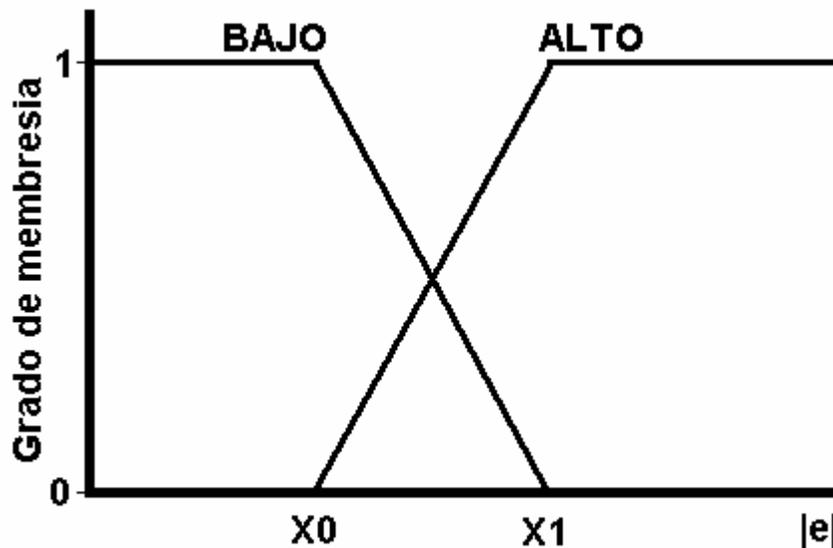


Figura 2.5 Funciones de membresía de tipo trapezoidal para la variable de entrada

Las funciones de membresía que se muestran en la figura 2.5 fueron empleadas en la referencia [3] y caracterizadas de la siguiente manera [12,13]:

- La abscisa corresponde al valor absoluto del error siendo este, el valor absoluto de la diferencia existente entre un valor de referencia y un valor medido.
- La ordenada corresponde al grado de membresía del valor absoluto del error, siendo este la salida difusa.
- “BAJO” y “ALTO” son las dos etiquetas de las funciones de membresía.

Una vez que se obtiene la salida difusa, se puede ver en la figura 2.4 que la siguiente etapa es la evaluación de ecuaciones. Un análisis que se desarrolló en la referencia [3] llevó a que esta etapa podía ser evaluada por la siguiente ecuación:

$$u(k) = u(k-1) + ae(k) - be(k-1) \quad 2.4$$

Donde:

$u(k)$ = representa la salida actual

$u(k-1)$ = representa la salida anterior

$e(k)$ = representa la entrada que en este caso corresponde al error actual

$e(k-1)$ = representa el error anterior

y

$a = k_p + k_i$

$b = k_p$

k_p y k_i representan a las ganancias proporcional e integral respectivamente.

Estas ecuaciones con sus ganancias proporcional e integral muestran su relación con un control PI convencional.[3]

Partiendo de la ecuación anterior y considerando como entrada el absoluto del error y dos funciones de membresía “BAJO” y “ALTO” tal y como se muestra en la figura 2.5, se puede construir un control difuso con el modelo de Takagi – Sugeno como sigue:

Si $|e(k)|$ es bajo entonces

$$u_1(k) = u_1(k-1) + a_1e(k) - b_1e(k-1) \quad 2.5$$

Si $|e(k)|$ es alto entonces

$$u_2(k) = u_2(k-1) + a_2e(k) - b_2e(k-1) \quad 2.6$$

La salida real que se muestra en el último bloque del algoritmo de Takagi – Sugeno de la figura 2.4, se obtiene promediando las salidas anteriores en función de sus grados de membresía mediante la siguiente ecuación

$$u(k) = \frac{u_1(k)e_{bajo}(k) + u_2(k)e_{alto}(k)}{e_{bajo}(k) + e_{alto}(k)} \quad 2.7$$

El esquema básico del controlador difuso tipo Takagi – Sugeno aplicado al regulador de Voltaje se muestra a continuación [9].

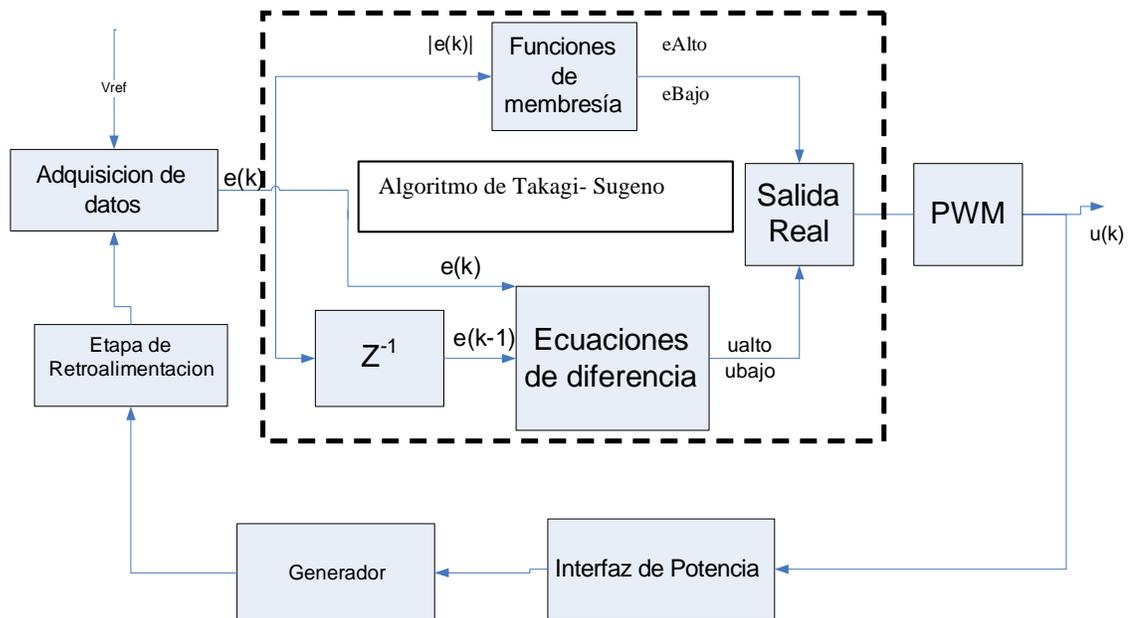


Figura 2.6 Esquema del controlador difuso aplicado al regulador de voltaje

2.1.3 Sintonización de un control difuso tipo Takagi–Sugeno.

El algoritmo de sintonización para el modelo de Takagi–Sugeno usado en este trabajo fue tomando en cuenta el desarrollado en la referencia [3]. Este algoritmo consiste en 3 pasos.

- 1) Calcular los valores de un control PI con respuesta sub-amortiguada, para la región del error alto.
- 2) Calcular los valores de un control PI con respuesta sobre-amortiguada, para la región del error bajo
- 3) Definir las funciones de membresía de las regiones de error alto y bajo, de manera que se combinen los dos controles y den una respuesta rápida cuando el error es alto y lenta cuando el error es bajo.

En cada paso se realizan pruebas, para obtener la respuesta del control mediante cambios en la referencia con y sin carga.

Los pasos preliminares consisten en poner los mismos valores a las ganancias proporcional e integral, para que se comporte como un control PI convencional.

Para calcular la ganancia proporcional e integral para cada región se realiza la siguiente secuencia

- a) Ajustar k_i en cero y usar el mismo valor de k_p para ambas regiones. Al ajustar los valores de las constantes en ambas regiones en el mismo valor, se comporta como si fuera un control convencional PI y al ajustar en cero el valor de k_i como un control P convencional.
- b) Ajustar el valor máximo permitido de k_p para ambas regiones del error, antes de que oscile el sistema, hasta obtener la respuesta de la región deseada.
- c) Ajustar k_i en las regiones de error bajo y alto en un valor, hasta obtener la respuesta de la región deseada.

CAPÍTULO

3

DISEÑO DE HARDWARE

En este apartado se explicará la etapa de potencia usada para efectuar el control PI difuso así como los componentes del hardware en general.

3.1 Procesador de Señales Digitales (DSP).

El control se realiza por medio de un procesador de señales digitales (DSP) de la familia DSP56F8X de Freescale los cuales son microcontroladores de 16-bits. [14]

El microcontrolador con número de serie MC56F8323, se encuentra implementado en la tarjeta de desarrollo CTPE-V4 diseñada por “RACOM Microelectronics” [15] la cual se utilizó para efectuar el desarrollo del proyecto. Esta se muestra en la figura 3.1. Sus diagramas de conexión se encuentran en el apéndice D.

La capacidad de procesamiento del DSP combinado con la funcionalidad de un microcontrolador con un juego flexible de periféricos crea una solución proporcionada en una sola pastilla (chip).

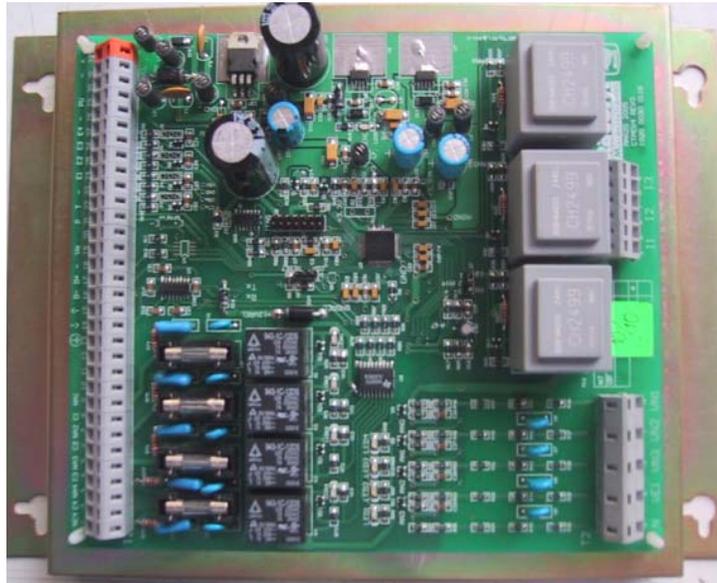


Figura 3.1 Tarjeta de desarrollo CTPE-V4

Entre las principales características de operación [14] se encuentran:

- Alto desempeño.- Soportan la mayor parte de las aplicaciones de un microcontrolador DSP.
- Facilidad de programación.- El conjunto de instrucciones soporta datos del tipo fraccional y enteros, lo que provee la flexibilidad necesaria para la óptima implementación de los algoritmos.
- Soporte de lenguajes de altos nivel de programación.- la mayoría de las aplicaciones puede ser escrita en un lenguaje C sin que esto afecte el desempeño del microcontrolador DSP.
- Un conjunto flexible de instrucciones y el modelo de programación permiten compilación eficiente del código.
- Conjunto de instrucciones para soporte de los algoritmos DSP, el DSP568X cuenta con control, manipulación de bits y procesamiento entero de instrucciones.
- Soporte de multitareas.- Soporta la implementación de un sistema operativo en tiempo real o sistema multitareas.

- Bajo consumo de energía.
- Depuración en tiempo real.[14,16]

Debido a su bajo costo, la flexibilidad de la configuración, y el código del programa compacto, el dispositivo está bien preparado para muchas aplicaciones, en el área de ingeniería eléctrica, como es la obtención de fasores de señales analógicas [14,16].

Los componentes principales del núcleo DSP568X [17] son:

- Bus de direcciones
- Bus de datos
- Unidad aritmética lógica (ALU)
- Unidad de generación de direcciones (AGU)
- Unidad de manipulación de bits
- Unidad de control de programa.
- Módulo de depuración.
- Reloj
- Reset

Los periféricos con los que cuenta el microcontrolador DSP568323 se muestran en el apéndice B.

3.2 Acoplamiento Motor de CD – generador

En este proyecto es utilizado un grupo motor de CD - generador que consta de un motor eléctrico de CD y un generador síncrono conectado mecánicamente de manera que el motor hace girar al generador. El motor suministra así la energía mecánica que el generador transforma en energía eléctrica. Tanto el motor como el generador están montados sobre la misma base.

3.2.1 Motor de CD

Este tipo de arreglo de máquinas se usa para cambiar electricidad de un voltaje o frecuencia a otro o para convertir CD en CA. En este caso, el motor es impulsado por una fuente de potencia de corriente constante, en tanto que el generador produce una salida de corriente alterna cuya frecuencia es variable, para lograr la conversión de CD en CA.[20]

Un motor de CD es básicamente un transductor que convierte la energía eléctrica en energía mecánica. El par desarrollado por el eje del motor es directamente proporcional al flujo en el campo y a la corriente en la armadura. Un conductor que lleva corriente está colocado en un campo magnético con flujo ϕ , a una distancia r del centro de rotación. La relación entre el par desarrollado, el flujo ϕ y la corriente i_a es:

$$T_m = k_m \phi i_a \quad 3.1$$

donde:

$T_m =$ Par del motor (N-m)

$\phi =$ Flujo magnético (Webers)

$i_a =$ Corriente de armadura (amperes)

$k_m =$ Constante de proporcionalidad.

Cuando el conductor se mueve en el campo magnético se genera un voltaje entre sus terminales. Este voltaje genera la fuerza contraelectromotriz, la cual es proporcional a la velocidad del eje, la cual tiende a oponerse al flujo de la corriente. La relación entre la fuerza contraelectromotriz y la velocidad del eje es: [19,20]

$$e_b = k_m \phi \omega_m \quad 3.2$$

Donde:

$e_b = \text{Fuerza contraelectromotriz (Volts)}$

$\phi_m = \text{Velocidad del eje (rad / s) del motor}$

3.2.2 Máquina generadora síncrona.

La máquina síncrona está constituida esencialmente de una parte activa fija que constituye el inducido llamado también estator y de una parte interna giratoria que se conoce como el inductor también denominado rotor.

Entre la superficie cilíndrica interna del estator y externa del rotor se encuentra un pequeño espacio de aire que se conoce como entrehierro y cuyo espesor puede variar dependiendo el tamaño del generador.

El rotor de la máquina síncrona puede ser de polos salientes o liso, en el primer caso se emplean para máquinas lentas y el segundo para una mayor velocidad.[20]

Un uso muy importante de la máquina síncrona es su aplicación en la generación de potencia trifásica de CA. La máquina síncrona que opera en modo de generador es conocida comúnmente como alternador.[21]

Los generadores síncronos operan bajo la base de la ley de Faraday. Se parte de la base de los estudios sobre inducción electromagnética realizados por Michael Faraday que indican que en un conductor que se mueva cortando las líneas de fuerza de un campo magnético se produciría una fuerza electromotriz (FEM) inducida y si se tratase de un circuito cerrado se produciría una corriente inducida. Lo mismo sucedería si el flujo magnético que atraviesa al conductor es variable.

La ley de Lenz nos dice que las fuerzas electromotrices o las corrientes inducidas serán de un sentido tal que se opongan a la variación del flujo magnético que las produjeron. Esta ley es una consecuencia del principio de conservación de la energía.

La polaridad de una FEM inducida es tal, que tiende a producir una corriente, cuyo campo magnético se opone siempre a las variaciones del campo existente producido por la corriente original.

Entonces la ley de Faraday afirma que la FEM inducida en cada instante tiene por valor:

$$\varepsilon = -\frac{d\phi}{dt} \quad 3.3$$

Donde:

$\varepsilon =$ fuerza electromotriz inducida.

$\phi =$ flujo magnético

El signo (-) de la expresión anterior indica que la FEM inducida se opone a la variación del flujo que la produce, este signo corresponde a la ley de Lenz.[20]

Si se aumenta la carga, circula más corriente sobre el estator, forzando a que se genere mayor par y por lo tanto se genere mayor electricidad, siempre y que el generador siga girando a la misma velocidad impuesta por el motor de CD

El término síncrono se refiere al hecho de que la frecuencia eléctrica de esta máquina está atada o sincronizada con la rotación de su eje. La expresión matemática de la frecuencia eléctrica está dada por: [23]

$$n_m = \frac{120 \cdot f}{P} \quad 3.4$$

Donde:

$f = \text{frecuencia}$

$n_m = \text{Velocidad mecánica en rpm}$

$P = \text{Número de Polos}$

En este caso el generador es de dos polos, por lo tanto para obtener una frecuencia de 60 Hz el rotor debe girar a 3600 rpm. [23]

El voltaje generado internamente en la máquina depende de la velocidad de rotación de su eje y la magnitud del flujo de campo. La diferencia entre el voltaje en terminales de cada fase y el voltaje generado radica principalmente en las caídas de potencial de la resistencia y la reactancia interna de los embobinados del inducido (en el estator) [22]

Para la estabilización del motor de CD en este caso se mantiene fijo el voltaje de campo a 160V y el voltaje de armadura se varía de 0 a 220V, hasta obtener a la salida del generador, una frecuencia de 60Hz; en los experimentos realizados con un voltaje de armadura de 180V se obtenía a la salida del generador, una frecuencia de 60Hz equivalente esto a 3600 rpm.

Lo que define el proyecto es principalmente estabilizar el voltaje de salida del generador sin importar las perturbaciones exógenas al sistema, y esto se logra mediante el control del voltaje de campo del generador con un sistema retroalimentado.

El grupo motor generador utilizado es el que se muestra en la figura 3.2

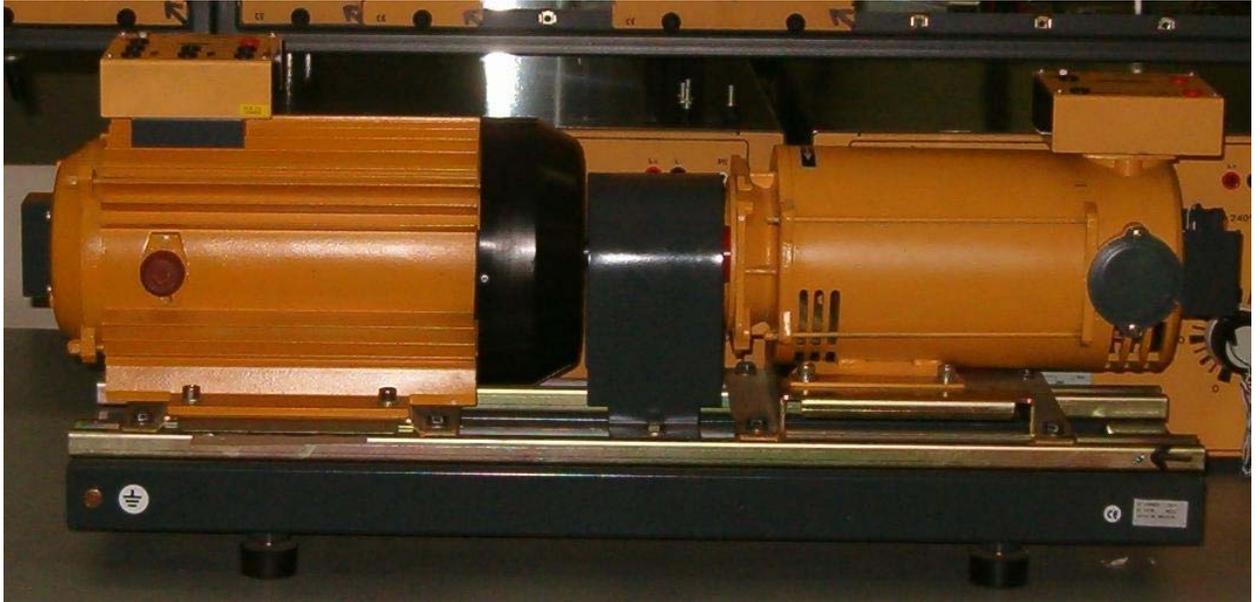


Figura 3.2 Grupo Motor Generador

Las Características del grupo Motor Generador son las siguientes: [23]

Motor:

Identificador: DL1023PS

Marca: DeLorenzo

Potencia de salida: 1.8 Kw.

Velocidad nominal: 3600 rpm.

Voltaje nominal de armadura: 220V.

Voltaje de campo: 160 V.

Corriente nominal de armadura: 10 A.

Par nominal: 4.77 N-m.

Corriente nominal de campo: 0.68 A.

Inductancia de armadura: 20.4 m.H.

Inductancia de campo: 17.25 H

Inductancia mutua de velocidad LA1: 0.8514H.

Resistencia de armadura: 2.45W.

Resistencia de campo: 228.2W.

Momento de inercia del rotor: 0.0036 Kg. – m²

Coeficiente de fricción (B): 0.00107 Kg.- m²/seg.

Constante de inercia (H): 142.119 E-12 seg.

Generador:

- Máquina con inductor liso y devanado trifásico inducido en el estator para funcionar ya sea como alternador que como motor sincrónico.
- Máquina con acoplamiento simétrico, panel educacional con cuadro sinóptico.
- Posibilidad de funcionamiento sea como alternador que como motor sincrónico.

Identificador: DL1026A

Marca: DeLorenzo

Potencia de salida: 1.1 KVA.

Velocidad nominal: 3600 rpm.

Voltaje en terminales: 220/380V para conexiones Δ/Y .

Voltaje de campo: 175 V.

Corriente en terminales: 2.9/1.7 A para conexiones Δ/Y .

Corriente de campo 0.4 A.

Frecuencia nominal: 60Hz.

Momento de inercia del rotor: 0.0025 Kg. – m².

Coeficiente de fricción: 0.00111 Kg.- m²/seg.

3.3 Etapa de potencia

En la figura 3.3 se muestra el diagrama del circuito final para el control del Vf de un generador sincrónico. Este se basa parcialmente en el circuito de la referencia [9]

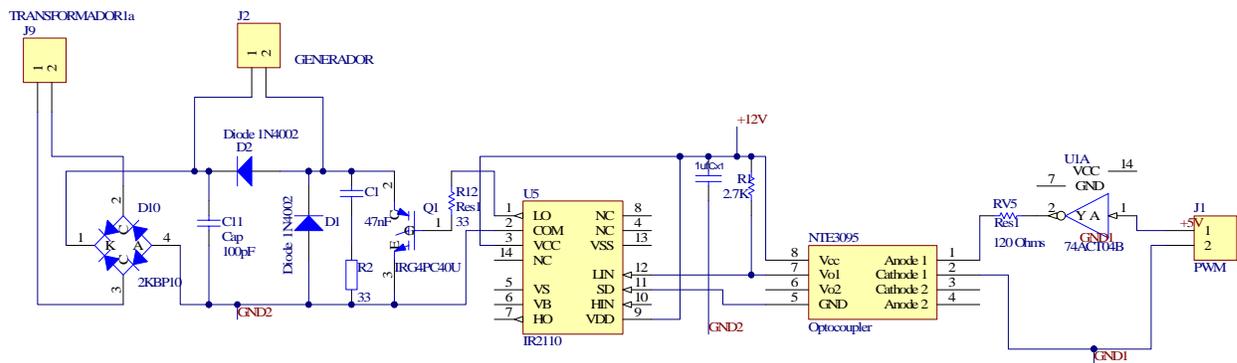


Figura 3.3 Circuito para el control del V_f de un generador síncrono.

Su forma de operación es la siguiente:

El microcontrolador genera una señal de PWM con amplitud de 3.3V la cual controlará el voltaje de campo final

El Inversor. Este dispositivo tiene la finalidad de invertir la señal PWM que sale del procesador de señales digitales puesto que el optoacoplador de la etapa posterior requiere su señal invertida, además de proporcionar la corriente necesaria requerida para encender el led. La clave del inversor empleado en el proyecto es 7404.[31]

El Optoacoplador. Este elemento tiene como finalidad, la separación de toda conexión física de la etapa de potencia y de la parte digital. El objetivo de esto, es el de evitar la introducción de niveles de voltaje y corriente por parte de la etapa de potencia, que dañen el funcionamiento de la tarjeta de desarrollo. La salida del optoacoplador se conecta a la entrada lógica baja del excitador de la etapa posterior. Es importante notar el aislamiento que proporciona utilizando GND1 para la etapa digital y GND2 para la etapa de potencia.

En este trabajo se empleó el opto acoplador HCPL-2530 [30,31] el cual contiene un diodo emisor de luz y un opto detector integrado. Algunas especificaciones de este circuito son:

-
- Optoacoplador dual.
 - Alta Velocidad: 1Mbit/s
 - Corriente de base: 5mA
 - Voltaje de alimentación: Hasta 30V
 - Voltaje de aislamiento: 480V
 - Alta velocidad de conmutación: Menor a 8ms.

El Excitador (“driver”) tiene como finalidad, la adecuación de los niveles de voltaje de la señal PWM, necesarios para controlar la operación del IGBT. Este se alimenta con 12V. La salida baja del excitador se conecta a la base del IGBT para accionar su disparo.

Algunas de las especificaciones del dispositivo son: [29]

- 1.- Voltaje de offset: 500 V_{máx.}
- 2.- Corriente pulsada de salida: 2 A.
- 3- Rango de voltaje de alimentación para compuerta: 10-20 V
- 4.- Tiempo de encendido/apagado típico: 120 y 94 nS.

El IGBT (Isolated Gate Bipolar Transistor). Es un transistor bipolar de compuerta aislada cuyas siglas en inglés son IGBT. Al IGBT se le considera transistor de potencia porque tiene la facilidad de soportar corrientes arriba de 10 Amperes, voltajes mayores de 220 Volts y frecuencias de conmutación superiores a 5 KHz. La conmutación de este dispositivo se realiza por voltaje, haciéndolo un elemento útil cuando se realizan tareas como accionamiento de motores de CA y CD fuentes de alimentación y relevadores de estado sólido.

Este se encarga de controlar el voltaje de campo con el que se alimenta el generador mediante el PWM de voltaje. Se utiliza un diodo inverso en el generador para eliminar las cargas inductivas que afectan al control. Para este caso se utilizó el IGBT IRG4PC40U el cual posee entre sus características [29]

- Operación en frecuencias de 8-40kHz

- Voltaje colector-emisor hasta 600V
- Corriente de colector hasta 20 A

El Puente de diodos. Se encarga de rectificar el voltaje de salida del transformador colocado a la entrada de alimentación del circuito. Puesto que el voltaje para alimentar el Vf del generador síncrono requiere que este sea de corriente directa. El puente de diodos utilizado fue el 2KBP10 [31]

El Transformador. Se encarga de aislar la etapa de alimentación de la interfaz de potencia de la corriente suministrada a través de la línea precisamente para evitar algún problema que pudiera presentarse de cortocircuito.

Además de la etapa anterior se cuenta en la interfaz la etapa de alimentación que sirve para suministrar la energía requerida por cada uno de los dispositivos. Esto se muestra en la figura 3.4

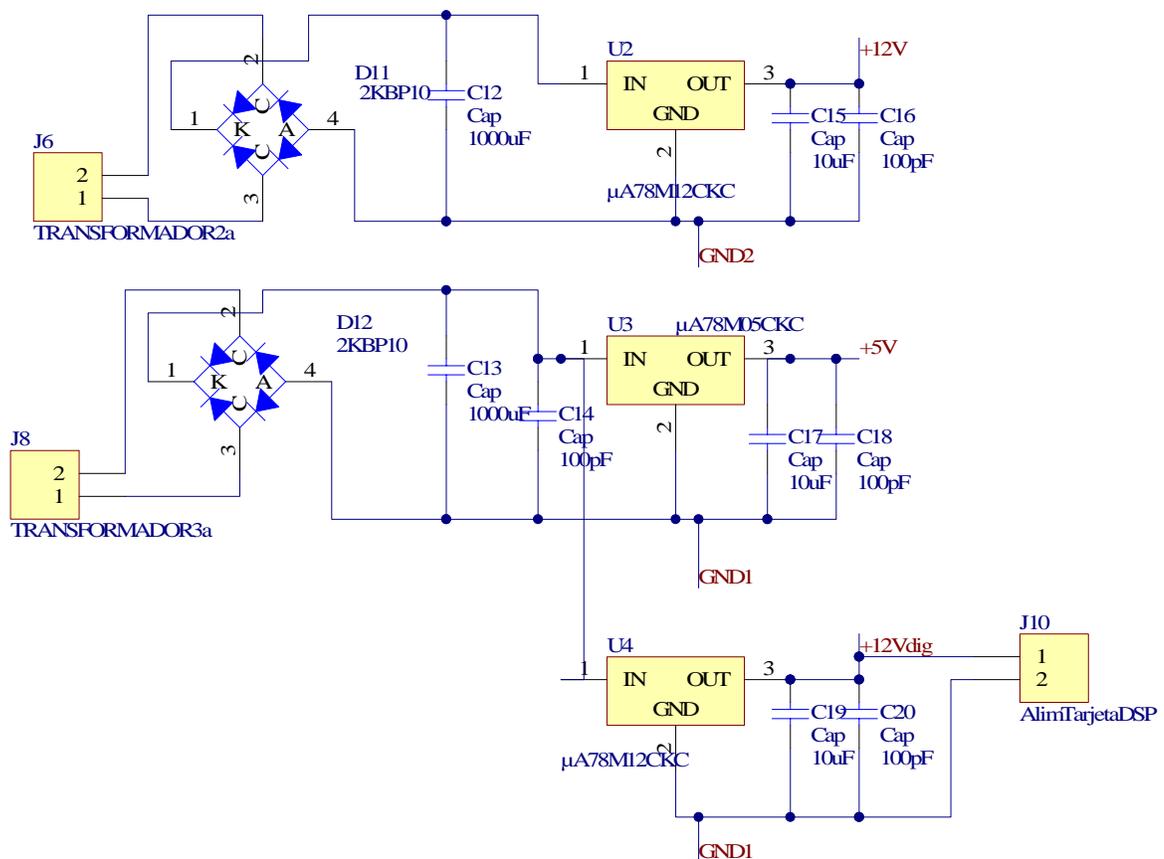


Figura 3.4 Etapa de alimentación de los dispositivos de la interfaz

La etapa de alimentación es igualmente aislada de la corriente de línea por medio de transformadores a fin de evitar posibles problemas de cortocircuito. Posteriormente son rectificadas con un puente de diodos y reguladas con los circuitos integrados LM7805 y LM7812 que suministran 5v y 12 v de CD respectivamente [31]. El regulador de voltaje U2 LM7812 tiene su entrada de conexión a GND como GND2, esto es debido a que este integrado se utiliza en la alimentación de los dispositivos de potencia (IGBT, Driver).

3.4 Etapa de Retroalimentación

En la figura 3.5 se muestra el circuito utilizado para la retroalimentación de voltaje.

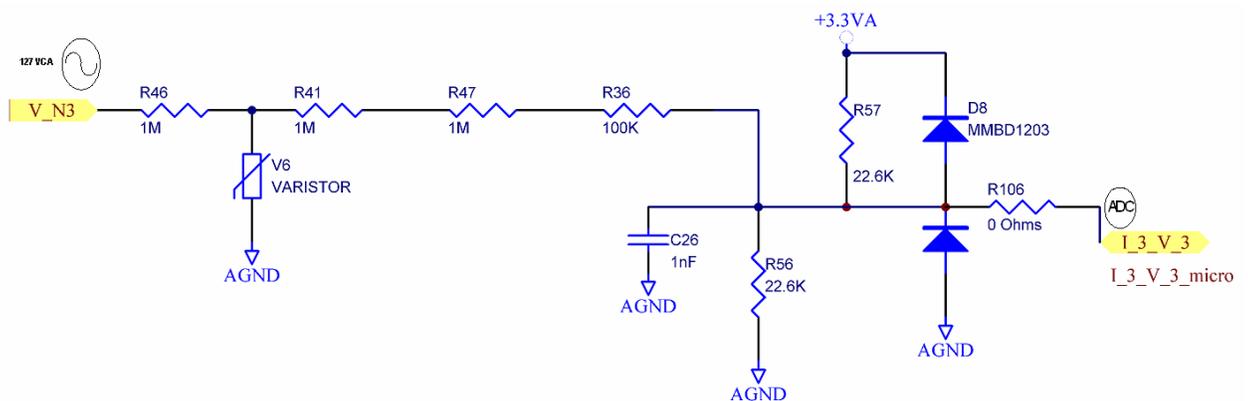


Figura 3.5 Circuito para la retroalimentación del voltaje de campo del generador sincrónico

La señal se reduce por medio de las resistencias de entrada las cuales actúan como divisores de voltaje. El valor máximo admitido a la entrada analógica es hasta de 300V. El valor de salida final se polariza a 3.3 V que es el valor admitido por el puerto del ADC. Este se protege con los diodos de protección a fin de que no exceda este valor ni que tampoco tenga voltajes negativos.

Con esta etapa de retroalimentación se tiene un sistema a lazo cerrado.

3.5 Convertidor ADC

Como este control es a lazo cerrado, es necesario estar muestreando la variable de salida del sistema, para así determinar las correcciones necesarias a la variable de control. En este proyecto, se utilizan un canal del convertidor Analógico Digital (ADC) para medir el voltaje de salida del generador.

La señal se muestrea en forma periódica para calcular el V_{rms} del voltaje Terminal del generador.

3.5.1 Controlador del tiempo de muestreo

El control del tiempo de muestreo se realiza mediante la programación de un temporizador conectado físicamente a la entrada de inicio de conversión del ADC. Este temporizador se programa para generar una señal cuadrada que con cada flanco de subida manda la señal de inicio de conversión al ADC.

Posteriormente cuando el convertidor termine de realizar una conversión de los canales previamente habilitados, solicitará atención mediante una interrupción.

La operación del temporizador o “timer” para generar una señal cuadrada que sirva como base para el tiempo de muestreo consta de un contador libre “TMRCNT” que puede contar hacia arriba o abajo los pulsos de salida de un preescalador que se alimenta con el reloj del sistema y un registro de comparación “TMRC2” para que cuando el número de pulsos coincida con el número de pulsos del contador, cambie la señal de 0 a 1 o viceversa y así se forme la señal cuadrada.

CAPÍTULO**4****DISEÑO DEL SOFTWARE**

En este capítulo se presenta el desarrollo del software del Microcontrolador DSP y de la programación de los periféricos empleados.

4.1 Programación de periféricos

La programación de los periféricos se realizó utilizando una herramienta de programación que se encuentra dentro del ambiente integral de programación de “Code Warrior” llamada “Processor Expert”. Esta herramienta contiene unas capsulas de programa llamadas “Beans” donde se encuentran empaquetadas los atributos y las funciones para inicializar y utilizar los periféricos del DSP

4.1.1 Controlador del tiempo de muestreo

Para poder programar el periférico ADC, para que funcione a una determinada frecuencia de muestreo (FM) es necesario primeramente conocer la frecuencia de la señal que el usuario desea muestrear y el número de muestras por ciclo con que se desea trabajar. Esta se calcula con la ecuación 4.1

$$FM = f_{\text{Señal de entrada}} * \# \text{ de muestras} \quad 4.1$$

Una vez teniendo la frecuencia de muestreo se calcula el valor del registro comparador y un preescalador con alguno de siguientes valores (1, 4, 8, 16, 32, 64, 128), este lo elije el usuario y dependiendo del valor que escoja, se determina el valor del comparador. Este valor es comparado con el contador libre y cuando coinciden el contador se pone en cero y se empieza a generar el primer cambio en una señal cuadrada, que sirve para controlar las interrupciones del ADC en cada flanco de subida; cuando el contador llega de nuevo a el valor del comparador, genera otro cambio en la señal de control, pero con este flanco no activa la interrupción y es por eso que hay que multiplicar por 2 la FM del ADC, así como se muestra en la ecuación 4.2. Al final se le resta la unidad debido a que el contador comienza en cero y no en 1.

$$Comparador = \frac{f_{Op.DSP}}{preescalador} * \frac{1}{FM * 2} - 1 \quad 4.2$$

A continuación se muestran dos tablas implementadas en Excel para calcular el comparador dependiendo del preescalador que el usuario elija. La tabla 4.1 muestra la frecuencia a muestrear y el número de muestras que se desean obtener esta tabla modifica a la tabla 4.2 donde el usuario fija la frecuencia de la señal a muestrear y el número de muestras que desea obtener. [27]

Variables:		
F de la señal que se quiere muestrear:		
60 Hz.		
Numero de muestras que se quieren obtener:		
96 Muestras.		

Tabla 4.1 Frecuencia de la señal a muestrear y muestras a obtener

En la figura 4.1 se muestra como se programa el periférico colocando en su registro comparador el valor calculado previamente.

Frecuencia del micro	Preescalador	contador	F.M	Error	F. Deseada
60000000.00	1	5207	5760.36866	0.01%	5760
	2	2603	5760.36866	0.01%	
	4	1301	5760.36866	0.01%	
	8	650	5760.36866	0.01%	
	16	324	5769.23077	0.16%	
	32	161	5787.03704	0.47%	
	64	80	5787.03704	0.47%	
	128	39	5859.375	1.73%	

Tabla 4.2 Cálculo del contador de acuerdo a las frecuencia de muestreo deseada

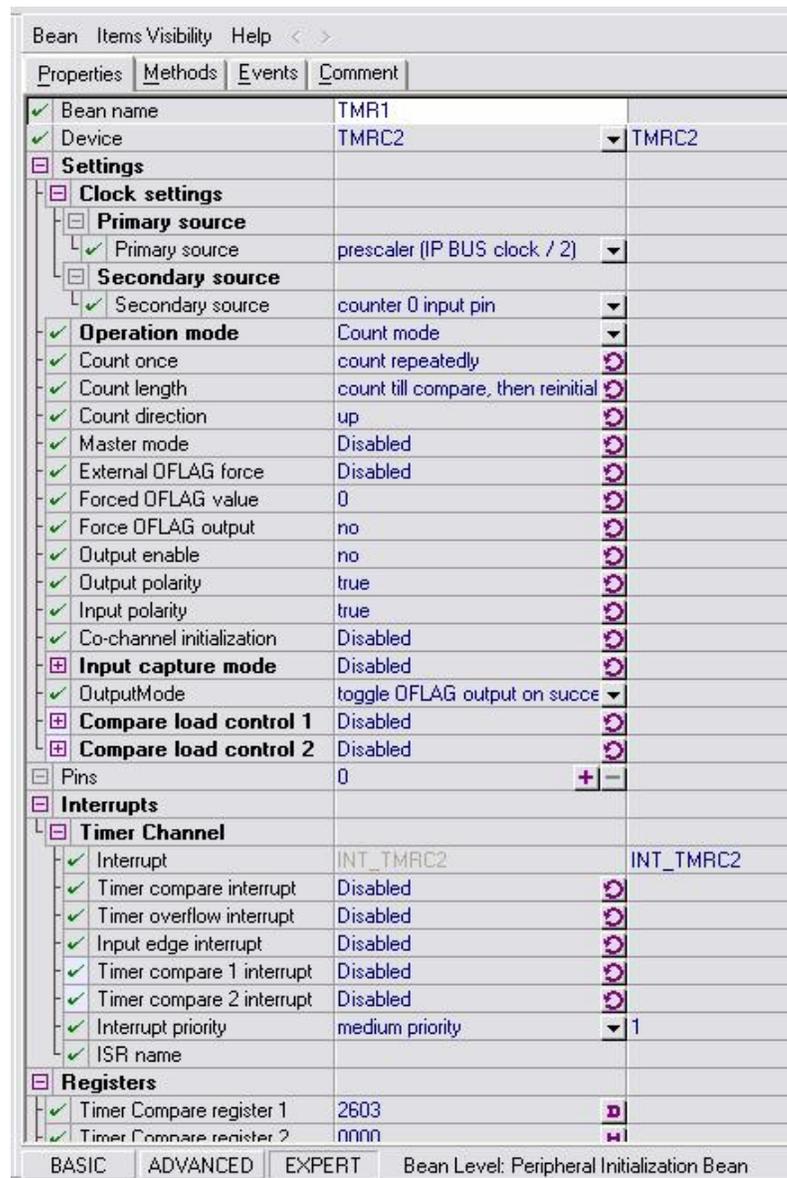


Figura 4.1 Programación de la frecuencia de muestreo del puerto ADC

4.1.2 Convertidor ADC

El periférico del ADC se compone de 8 canales de monitoreo los cuales tienen una resolución máxima de 12 bits. Para el proyecto desarrollado se ocupa un solo canal con todos los 12 bits utilizados en su totalidad para obtener las mediciones con la máxima resolución.

Para tomar las lecturas en los 12 bits se requiere un tiempo total de 1.2μs.

Este periférico genera una interrupción en el programa de eventos que es la que se ocupará para programar la medición del voltaje de salida.

Para determinar el voltaje de salida se utiliza una DFT sintonizada a 60 hz con 96 muestras. Las muestras se multiplican por dos vectores que contienen las señales de una onda seno y coseno equivalentes a una señal con una frecuencia de 60 Hz, las cuales se van acumulando y dan dos magnitudes definidas como real (Re) e imaginaria (Im) como se aprecia en la ecuación 4.3. [24].

$$\begin{aligned} & \sum_{k=0}^{N/2} \text{Re } \bar{X}[k] \cdot \cos(2\pi ki/N) \\ & \sum_{k=0}^{N/2} \text{Im } \bar{X}[k] \cdot \sin(2\pi ki/N) \end{aligned} \quad 4.3$$

El diagrama de flujo de la interrupción se muestra en la figura 4.2, la cual servirá a su vez para determinar si se desea medir más de una fase o canal a la vez.

Una vez que se realizan las operaciones de multiplicación y acumulación estas pasan a llenar un vector el cual es con el que trabaja en el programa principal la función CalcDFT() que se explicará posteriormente, así como la variable condicional calc_DFT que es la que pasa el mando al programa principal.

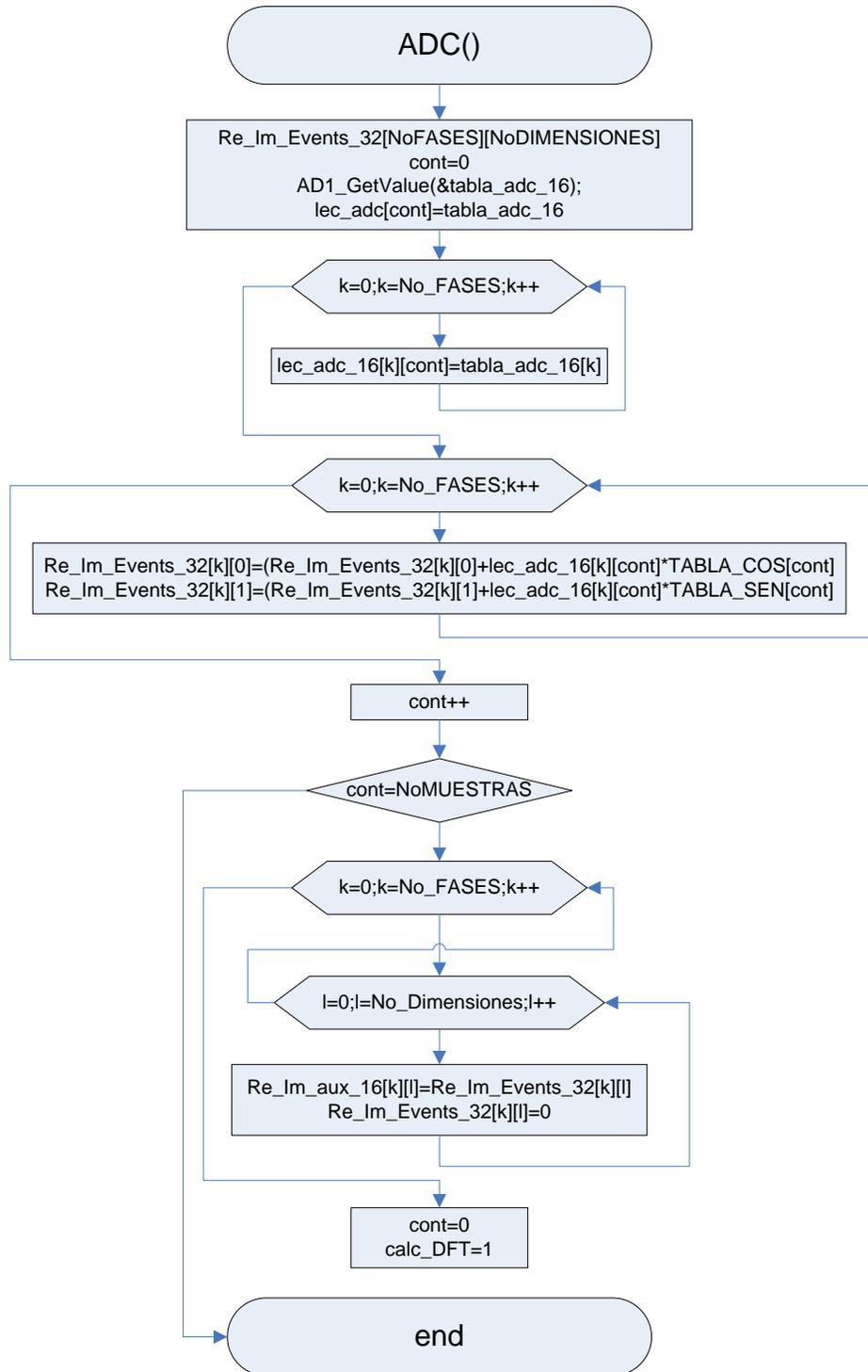


Figura 4.2 Diagrama de flujo de la interrupción del ADC

En la figura 4.3 se muestra la programación del periférico ADC a través de Processor Expert., donde se habilita el canal AD1, que realice conversiones a 12 bits,

que interrumpa cada vez que termine una conversión y que se controle la frecuencia de muestreo mediante el temporizador C.

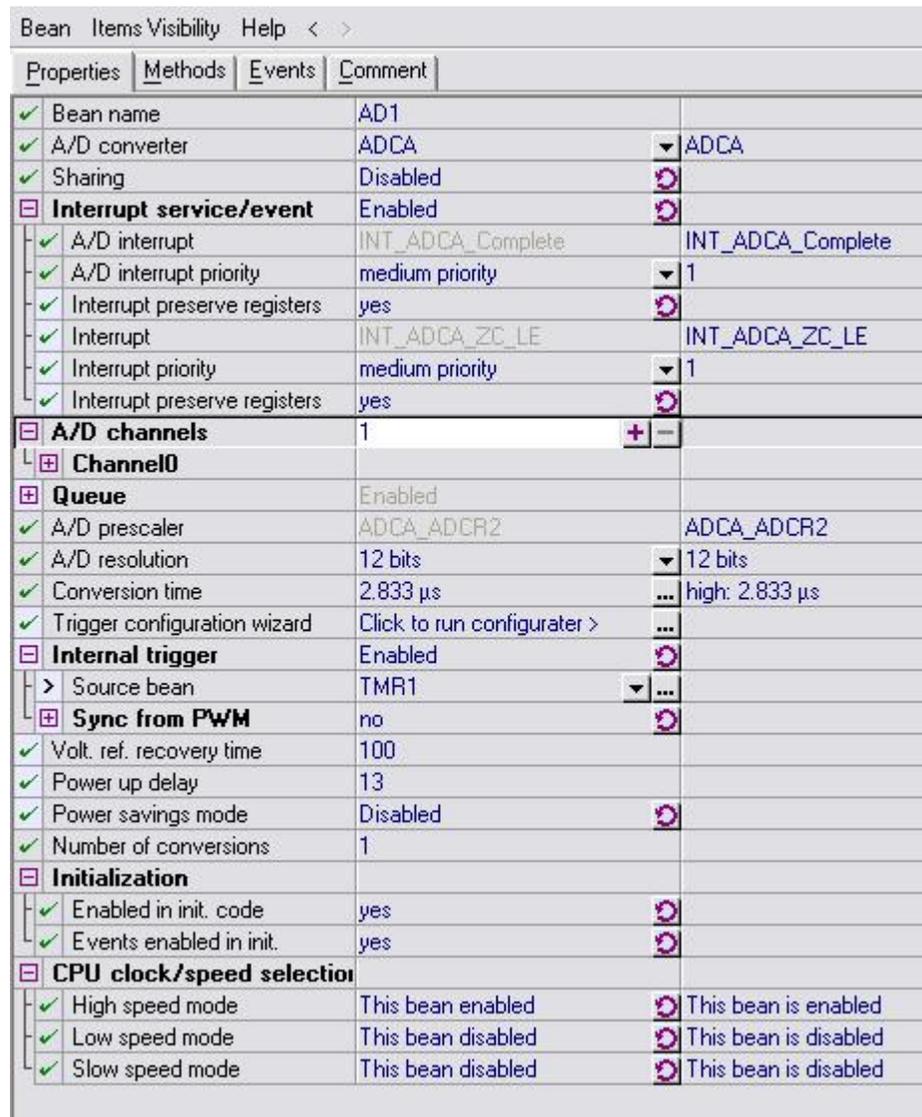


Figura 4.3 Configuración del ADC

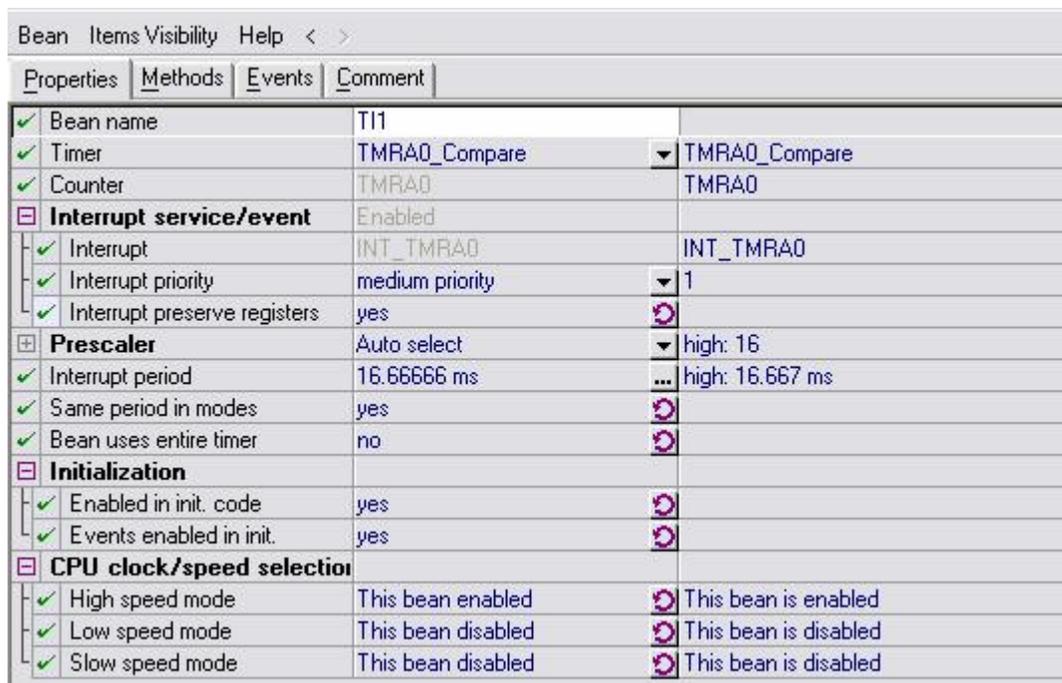
4.1.3 Temporizador

Para programar retardos se utiliza un Temporizador, para generar interrupciones o eventos que se ejecutan periódicamente. Interrumpiendo al programa principal (“main”) de forma periódica. Cuando interrumpe el Temporizador, el programa sale del programa

principal “main” y atiende la interrupción y cuando termina de ejecutar las instrucciones que contiene, retorna a la función principal en el mismo lugar de donde salió en el instante que se ejecutó.[26]

En el evento generado por este periférico es donde se colocará el algoritmo de control, el cual incluyen todas sus funciones así como el ancho de pulso que tendrá el PWM. La programación utilizada en este evento se explicará en la sección correspondiente al algoritmo de control.

Este periférico se programa a 16.66ms equivalentes al periodo de una señal de 60 Hz. En la figura 4.4 se muestra su configuración en Processor Expert



Bean Items Visibility Help < >		
Properties Methods Events Comment		
✓	Bean name	TI1
✓	Timer	TMRA0_Compare
✓	Counter	TMRA0
☐	Interrupt service/event	Enabled
✓	Interrupt	INT_TMRA0
✓	Interrupt priority	medium priority
✓	Interrupt preserve registers	yes
☐	Prescaler	Auto select
✓	Interrupt period	16.66666 ms
✓	Same period in modes	yes
✓	Bean uses entire timer	no
☐	Initialization	
✓	Enabled in init. code	yes
✓	Events enabled in init.	yes
☐	CPU clock/speed selection	
✓	High speed mode	This bean enabled
✓	Low speed mode	This bean disabled
✓	Slow speed mode	This bean disabled

Figura 4.4 Configuración del Temporizador

4.1.4 Modulación de Ancho de pulso (PWM)

PWM es una sigla en ingles que significa Pulse Width Modulation, se refiere a una técnica de modulación donde el ancho relativo de la parte positiva de una señal periódica en relación a su periodo, es modificado en función de una señal portadora.

Este ancho relativo de la parte positiva respecto del periodo es conocido como ciclo de trabajo del ingles Duty Cycle, el inverso del Duty Cycle es la relación del ancho de la parte negativa de una señal al periodo.

$$D = T_{on} / T$$

Donde:

D = Duty Cycle o ciclo de trabajo

T_{ON} = Tiempo o ancho de pulso positivo

T = Periodo o inverso de la frecuencia

La construcción típica de un circuito PWM se lleva a cabo con un comparador con dos entradas y una salida, una de las entradas es conectada a un oscilador de onda triangular, en tanto que la otra entrada queda a disposición para la señal moduladora, típicamente la salida tiene una frecuencia igual a la de la señal triangular en tanto que el ciclo de trabajo de esta salida es función de la señal portadora.

Este periférico se encarga de generar una señal tipo PWM a la salida, que junto con la interfaz de potencia, controla el Vf del generador, que sirve para mantener el voltaje de salida del generador invariante a los cambios en la carga.[26]

El ciclo útil de trabajo del PWM varía dependiendo si existe o no carga en el generador, esto se logra mediante el control a lazo cerrado.

Este periférico se programa para interrumpir cada vez que se generen varios ciclos de la señal PWM. En esta interrupción se ajusta el nuevo valor calculado por el algoritmo de control para el ciclo de trabajo de la señal PWM.

Esta variable en el programa se designó como “duty_cycle” la cual es una variable no signada de 16 bits. Esto se muestra en la figura 4.5.

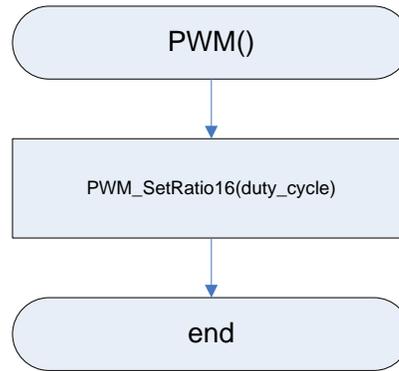


Figura 4.5 Diagrama del PWM

El periférico se configuró, como se muestra en la figura 4.6 para funcionar a 10 KHz, con el canal PWMA1

Bean Items Visibility Help < >			
Properties Methods Events Comment			
<input checked="" type="checkbox"/>	Bean name	Pwm1	
<input checked="" type="checkbox"/>	PWM or PPG timer	PwModA1	PwModA1
<input checked="" type="checkbox"/>	Duty compare		
<input checked="" type="checkbox"/>	Output pin	PwMA1_GPIOA1	PwMA1_GPIOA1
<input checked="" type="checkbox"/>	Output pin signal		
<input checked="" type="checkbox"/>	Counter	PwM_A	PwM_A
<input type="checkbox"/>	Interrupt service/event	Enabled	
<input checked="" type="checkbox"/>	Interrupt	INT_PwMA_Reload	INT_PwMA_Reload
<input checked="" type="checkbox"/>	Interrupt on duty		
<input checked="" type="checkbox"/>	Interrupt overflow		
<input checked="" type="checkbox"/>	Interrupt priority	medium priority	1
<input checked="" type="checkbox"/>	Interrupt preserve registers	yes	
<input type="checkbox"/>	PwMA		
<input type="checkbox"/>	PwMA prescaler	Auto select	1
<input checked="" type="checkbox"/>	Period	10 kHz	high: 10 kHz
<input checked="" type="checkbox"/>	Starting pulse width	.01 ms	high: 0.010 ms
<input checked="" type="checkbox"/>	Initial polarity	high	
<input checked="" type="checkbox"/>	Iterations before action/event	1	
<input checked="" type="checkbox"/>	Same period in modes	no	
<input checked="" type="checkbox"/>	Bean uses entire timer	no	
<input type="checkbox"/>	Initialization		
<input checked="" type="checkbox"/>	Enabled in init. code	yes	
<input checked="" type="checkbox"/>	Events enabled in init.	yes	
<input type="checkbox"/>	CPU clock/speed selection		
<input checked="" type="checkbox"/>	High speed mode	This bean enabled	This bean is enabled
<input checked="" type="checkbox"/>	Low speed mode	This bean disabled	This bean is disabled
<input checked="" type="checkbox"/>	Slow speed mode	This bean disabled	This bean is disabled

Figura 4.6 Configuración del PWM

4.1.5 Periférico de comunicación serial

Este periférico es utilizado para la comunicación a través de la hyperterminal de Windows mediante el puerto RS232 para el envío y recepción de datos al DSP. Este periférico genera código de eventos tanto para recepción como para transmisión de datos. El diagrama de transmisión de datos a través del puerto serial del DSP a la PC se muestra en la figura 4.7

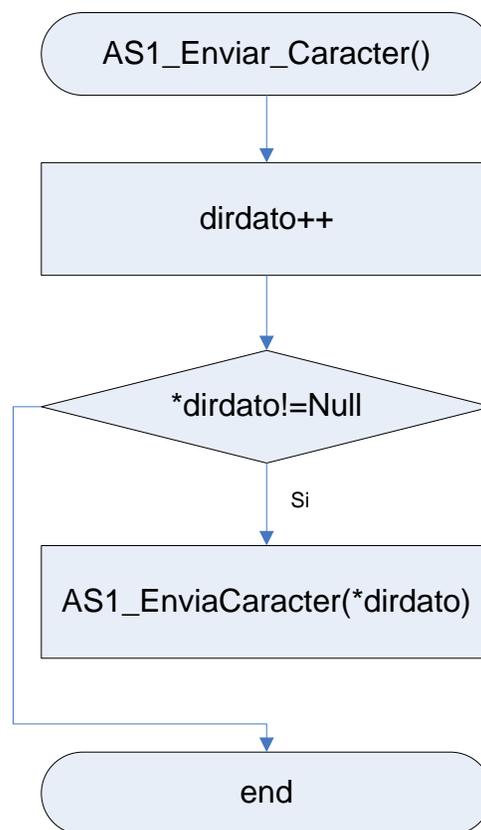


Figura 4.7 Diagrama de transmisión de datos a través del puerto serie

En este diagrama se utiliza la variable “dirdato” en la cual se almacenan los datos a enviar a la PC. En el momento en que recibe un caracter diferente de nulo se envían los datos.

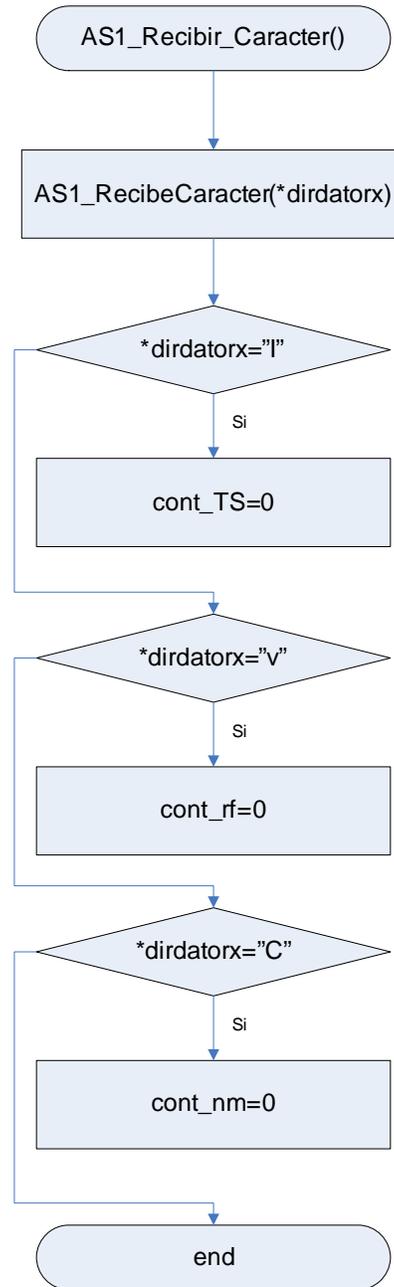


Figura 4.8 Diagrama de recepción de datos a través del puerto serie

El diagrama de la recepción de datos del DSP a través del puerto serie por parte de la hyperterminal de Windows en la PC se muestra en la figura 4.8. Este diagrama contiene tres instrucciones condicionales. La primera de ellas consiste en que al recibir el DSP el caracter “l” a través de la hyperterminal, envíe 1000 datos a la hyperterminal con el valor del Vrms. La segunda consiste en que al recibir el caracter “v”, el DSP envía 1300 datos a la hyperterminal con el valor del Vrms cambiando el voltaje de

referencia de 520 a 300 en el intervalo correspondiente a los datos 200 al 800. La tercera consiste igualmente en cambiar la referencia de voltaje de 520 a 300 pero en esta ocasión lo que se envía a la hyperterminal es el valor del error y del cambio del error.

La configuración del periférico es a 9600 baudios sin bit de paridad y un bit de parada como se muestra en la figura 4.9

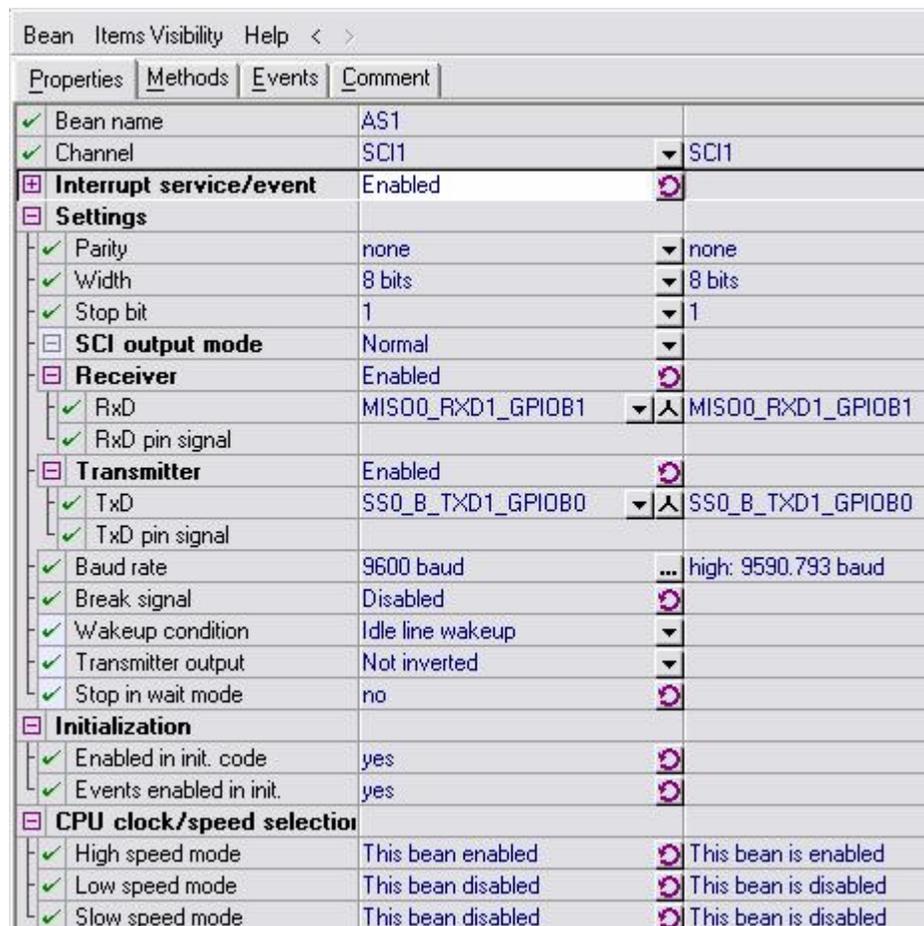


Figura 4.9 Configuración del periférico de comunicación serial

La hyperterminal de Windows se configura con 9600 baudios, sin control de flujo y 1 bit de parada como se aprecia en la figura 4.10. Su configuración para el correcto envío y recepción de caracteres ASCII se muestra en la figura 4.11

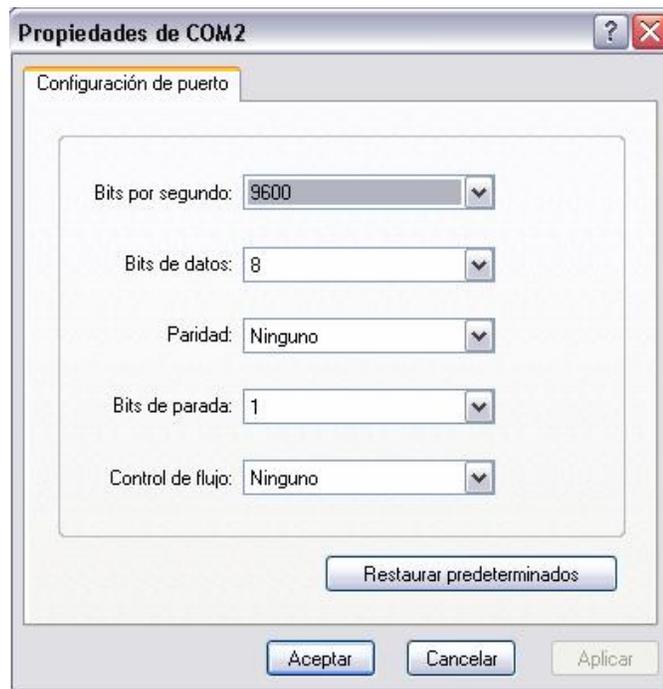


Figura 4.10 Configuración de la hyperterminal de Windows

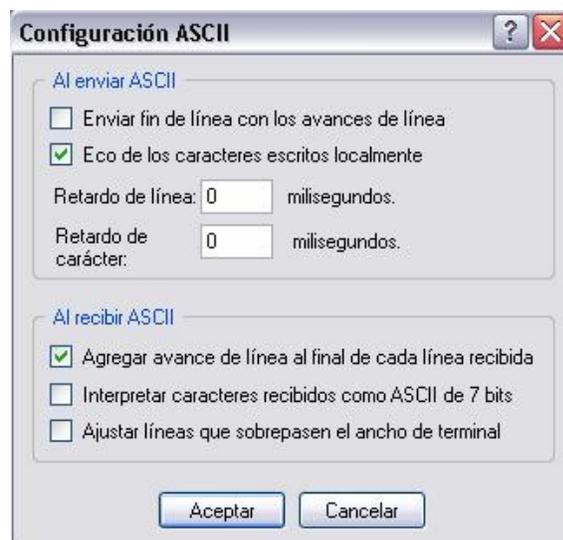


Figura 4.11 Configuración del envío y recepción de caracteres ASCII a través de la hyperterminal de Windows

4.2 Algoritmo de control PI Difuso Takagi-Sugeno

Este algoritmo fue desarrollado utilizando los diagramas de flujo, que muestran las diferentes etapas utilizadas en el algoritmo. Para su desarrollo se utilizan los dos programas generados por el software en CodeWarrior: el programa principal y el programa de eventos.

4.2.1 Programa Principal

En la figura 4.12 se muestra el diagrama de flujo del programa principal, el cual inicializa los periféricos, asigna el voltaje de referencia del voltaje a controlar, declara los coeficientes difusos utilizados en el algoritmo, y contiene el ciclo de bucle infinito, el cual dentro de este, cambia el mando del programa principal al programa de eventos creado para controlar los periféricos mediante una variable condicional referente a la medición del voltaje.

Dentro de esta condición se incluyen las funciones referentes al cálculo de la DFT, así como la comunicación de datos con la hyperterminal.

Los coeficientes difusos utilizados son equivalentes a los coeficientes de las ecuaciones 2.5 y 2.6 (donde $a_1=cA_bajo$, $a_2=cA_alto$, $b_1=cB_bajo$ y $b_2=cB_alto$) Estos toman los valores siguientes

```
cA_alto=kpalto+kialto;  
cA_bajo=kpbajo+kibajo;  
cB_alto=kpalto;  
cB_bajo=kpbajo;
```

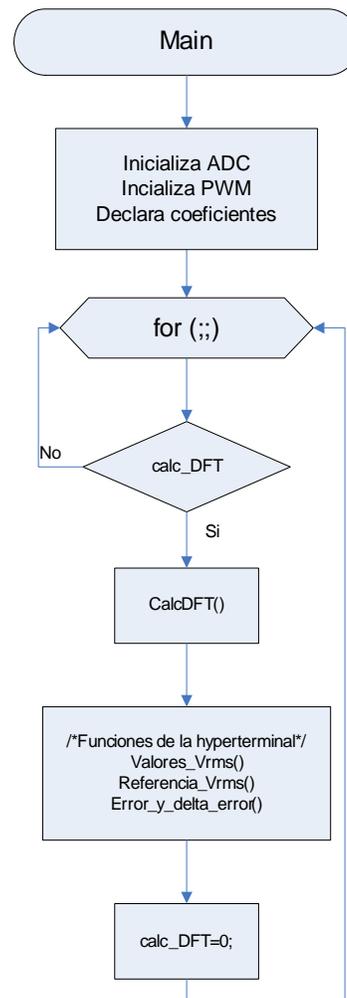


Figura 4.12 Diagrama del programa principal

Como se puede ver en el diagrama de la figura 4.12, las funciones que manda a llamar el programa principal solamente contienen los valores referentes al cálculo del Vrms y a las funciones de la hyperterminal.

La función del cálculo de la DFT denominada Calc_DFT(), mostrado en la figura 4.13 se realiza para conocer el Vrms en un ciclo de 60 Hz utilizando el algoritmo de la transformada discreta de Fourier (DFT). Esta procesa el vector con 96 muestras obtenido en la función del ADC generada en eventos.

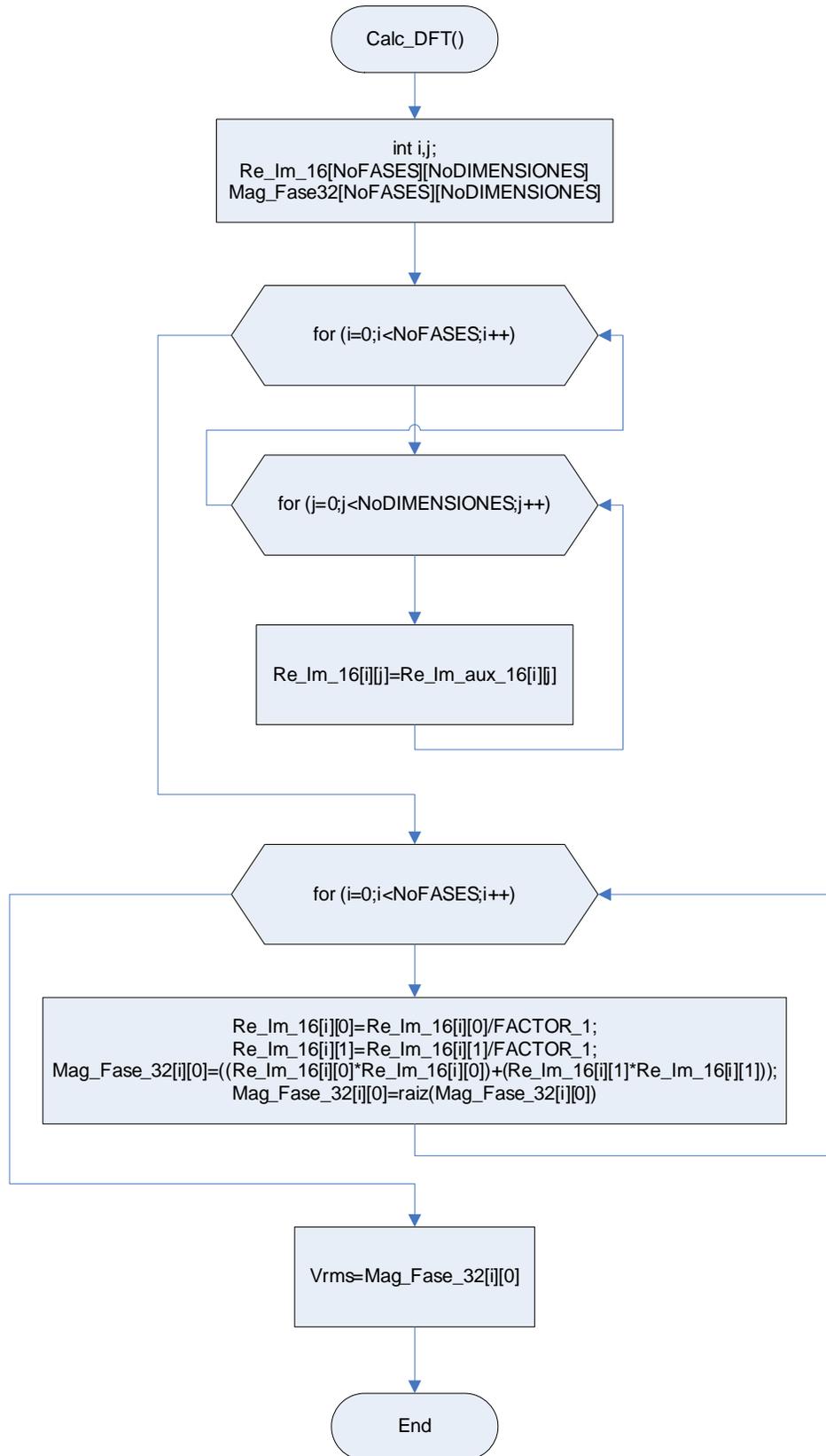


Figura 4.13 Diagrama de la función Calc_DFT()

En el diagrama de la figura 4.13 primero se observa que el vector auxiliar calculado en la función ADC pasa a un vector en el cual se efectuarán las operaciones de cálculo de la DFT. Posteriormente se suman la parte real e imaginaria para aplicarle la raíz cuadrada y el resultado será la medición de la magnitud en Vrms.

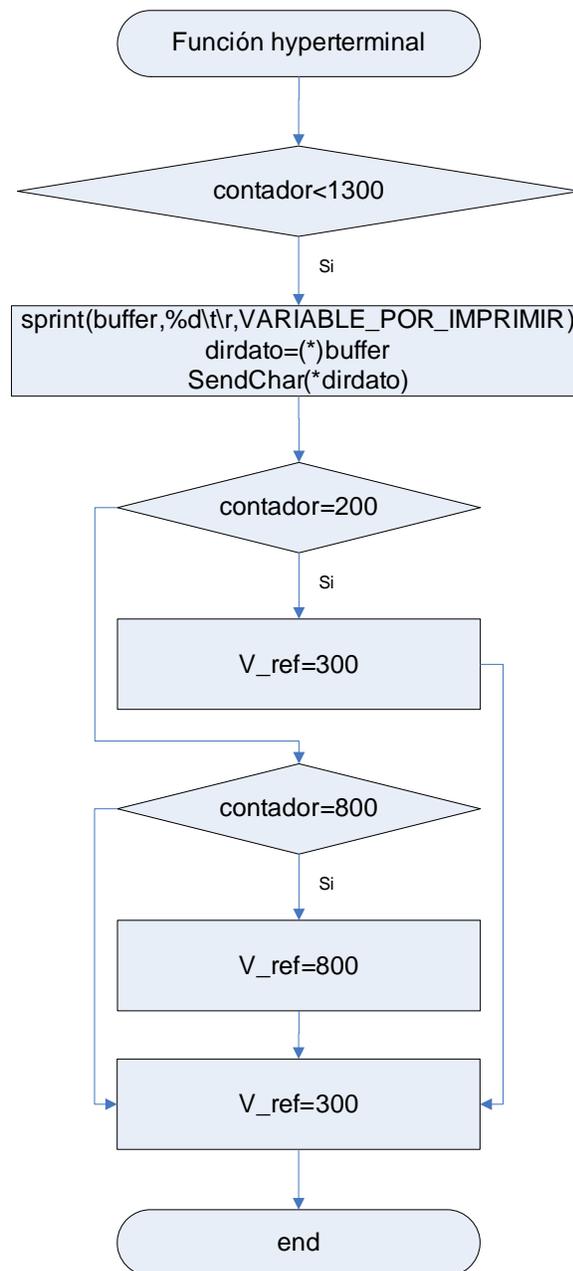


Figura 4.14 Diagrama de la función hyperterminal

Las funciones para leer los valores en la hyperterminal consisten en un contador el cual imprime todos los valores de la variable que se desea monitorear hasta llegar a un número determinado. El diagrama de flujo básico de estas funciones se presenta en la figura 4.14.

4.2.2 Programa de Eventos

El algoritmo de control se ejecuta en la interrupción generada por el temporizador como se muestra en el diagrama de la figura 4.15.

Primero mide el error (e_k) restando del voltaje de referencia (V_{ref}) el vrms medido (V_{rms}). Después manda a llamar a la función `membresia()` para verificar si el error es alto o bajo. Posteriormente se llama a la función `ImplicacionesSugeno()` donde se evalúa el grado de pertenencia correspondiente de acuerdo a los valores Proporcional e Integral obtenidos.

Después se calcula el cambio del error (Δe) restando del error actual (e_k) el error anterior (e_{k-1}). Una vez obtenido este se llama a la función `SalidaReal()`, la cual efectúa un promedio de los valores obtenidos en la función `ImplicacionesSugeno()`.

Posteriormente pregunta si hay lecturas de medición V_{rms} para enviar el promedio obtenido (`out_real`) al PWM. Antes de esto se verifica primeramente que el valor a obtener no exceda los límites de la variable utilizada por este, para una variable de 16 bits sin signo el valor máximo es 65535. Se define como limite bajo 2000 y limite alto 63000

En la figura 4.16 se muestra el diagrama de flujo que se encarga de evaluar las funciones de membresía. Estas funciones se encuentran basadas en la figura 2.5. Una vez obtenido el error mediante la comparación del valor de referencia y el valor medido, se procede a evaluar las funciones de membresía comparándolas con los valores de $X_0=75$ y $X_1=150$ que corresponden respectivamente a limite bajo y limite alto.

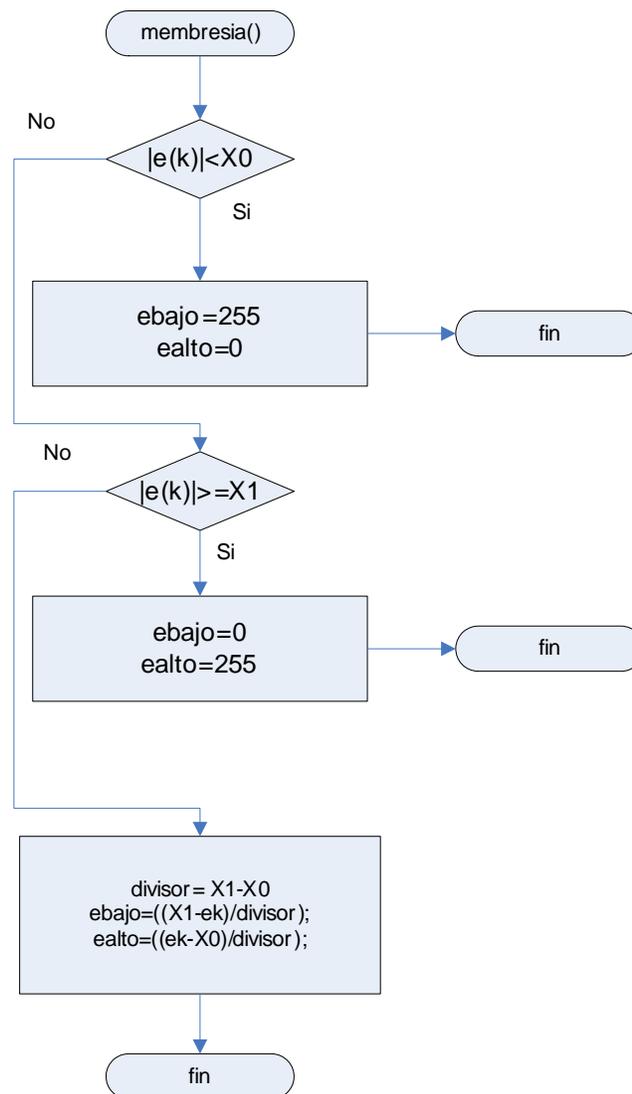


Figura 4.16 Diagrama de funciones de membresía

Estos valores se tomaron en cuenta debido a que la medición del V_{rms} corresponde para un valor de 120 V_{rms} a 520 unidades de microcontrolador por lo que 75 correspondería a una diferencia de voltaje de ± 17 Volts y 150 a ± 34 Volts.

Se toma un universo de discusión del error donde 1 equivale a 255 y 0 a 0 para una variable de 8 bits. Si el error es inferior a X_0 se considerará el su valor de pertenencia como $e_{bajo}=255$ y su valor alto como $e_{alto}=0$. Si el error es superior a X_1 se considera su valor de pertenencia como $e_{bajo}=0$ y $e_{alto}=255$. Si el error oscila entre estos dos valores se utilizan las siguientes ecuaciones [9]

$$e_{bajo} = \frac{X_1 - e_k}{X_1 - X_0} \quad 4.4$$

$$e_{alto} = \frac{e_k - X_0}{X_1 - X_0} \quad 4.5$$

Estas ecuaciones están basadas en la ecuación general de la recta, como puede verse en la figura 2.5.

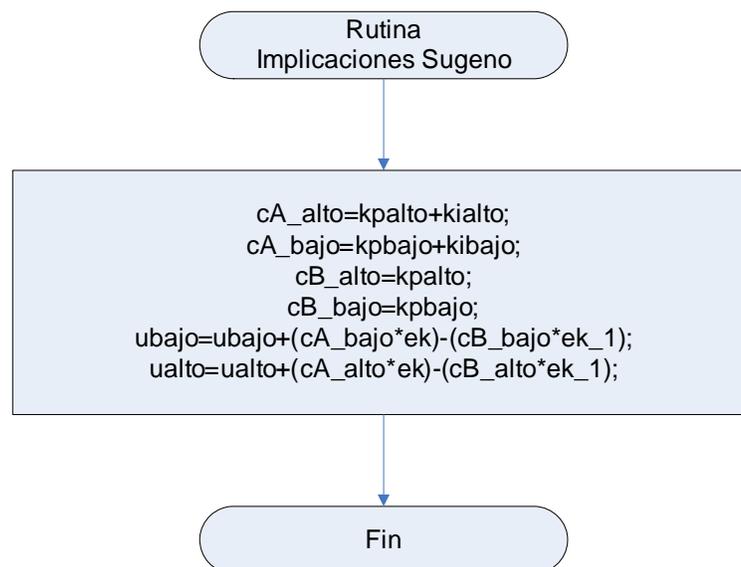


Figura 4.17 Diagrama de implicaciones Sugeno

En la figura 4.17 se muestra la rutina de implicaciones Sugeno, esta evalúa el error actual y el error anterior ($e(k)$ y $e(k-1)$) con los valores correspondientes a las

ganancias proporcional e integral como se indica en las ecuaciones de diferencia 2.5 y 2.6.

La figura 4.18 muestra el diagrama de flujo empleado para obtener el valor en la variable `out_real`, que servirá para corregir el PWM. Este diagrama se basa en la ecuación 2.7 donde una vez obtenidos los grados de pertenencia del valor del error en la función `membresia()` y evaluados en el algoritmo Takagi-Sugeno realizado en la función `ImplicacionesSugeno()`, se efectúa un promedio de estos para obtener el valor que habrá de corregirse en el PWM. En esta función hay que señalar que se incluyen dos líneas de comando como comentarios, estas sirven para forzar al control a ejecutarse en el modo del PI lento o del PI rápido, si se desea probar individualmente alguna de las dos.

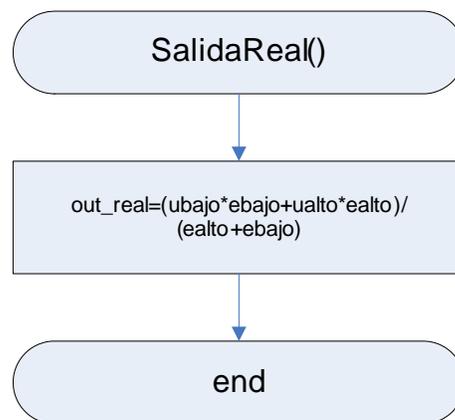


Figura 4.18 Salida real con los valores difusos

CAPÍTULO**5****PRUEBAS**

Las pruebas realizadas consistieron en analizar el comportamiento del algoritmo de control bajo diferentes condiciones.

La carga utilizada fue un banco de resistencias de 1200 watts que se tiene en el laboratorio de sistemas digitales, el cual se encuentra compuesto por tres resistencias con posibilidad de conectarse en estrella, o delta, con tres interruptores a siete pasos cada uno de ellos. El identificador del banco de resistencias es el DL 1017R Marca De Lorenzo

Sus especificaciones son:

- Máxima potencia en enlaces monofásicos o trifásicos: 1200W
- Tensión nominal 380/220V Y/D
- Tensión nominal monofásica 220V

Tomando una frecuencia de muestreo de 5760 Hz, equivalente a 96 muestras por ciclo de 60 Hz. Se realizó la medición del voltaje de salida del generador a fin de tener en este un voltaje en el microcontrolador equivalente a 120 Vrms el cual dió como resultado una medición de voltaje de 520 unidades de microcontrolador (U de uC).

Las pruebas realizadas fueron las siguientes:

1. Medición de la corriente, con osciloscopio con y sin carga (objetivo conocer la forma de onda V, I)
2. Curva Potencia Frecuencia, con cada prueba ir documentando los valores de la velocidad, antes de modificar el gobernador manual.
3. Plan de sintonización (Reportar los valores de la sintonización)
 - a. Cambiar la referencia de voltaje
 - b. Pruebas en vacío, Pruebas con carga
 - c. Graficas de error vs tiempo y cambio del error vs tiempo
 - i. Control PI lento
 - ii. Control PI rápido
 - iii. Control Difuso

El punto numero uno del plan de pruebas se efectuó de la siguiente forma:

La medición del voltaje de salida que entrega el generador se realiza probando la señal con y sin carga. El voltaje de salida que mide el DSP se da en valor V_{rms} . Como ya se describió anteriormente correspondió a 520 U de uC y en el eje x se toman las muestras por cada ciclo de 60 Hz. En la figura 5.1 se muestra la medición de V_{rms} sin carga. Los valores de estas gráficas fueron obtenidos a través de la hyperterminal de Windows y fueron graficadas en Excel.

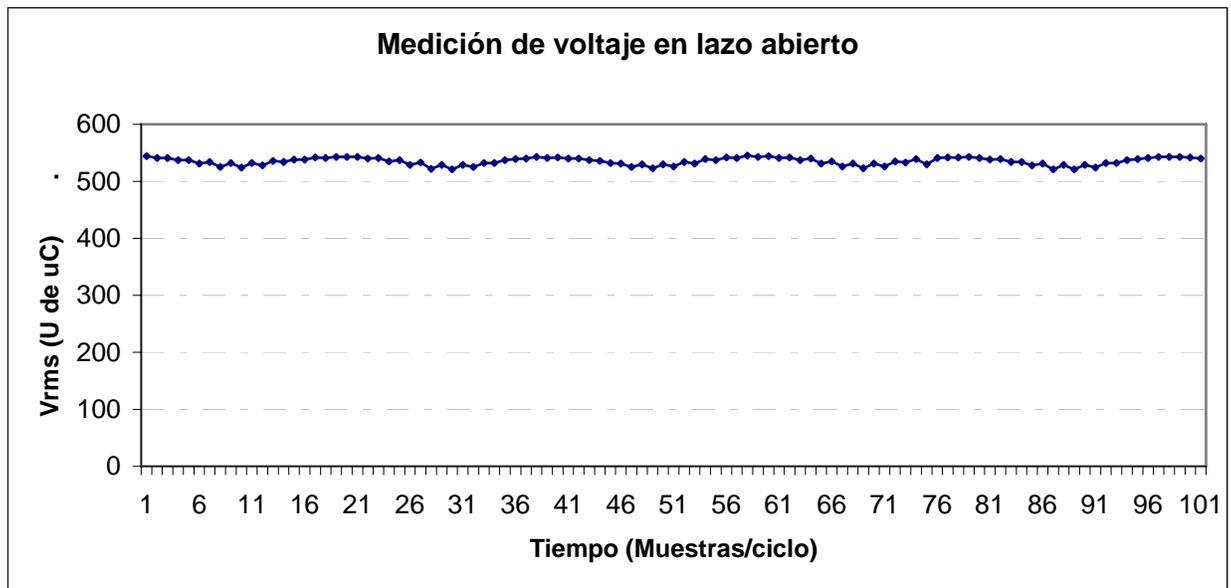


Figura 5.1 Medición del Vrms a través de la hyperterminal sin carga

En la figura 5.2 se muestra la medición de salida con carga. La carga corresponde al valor máximo del banco de resistencias (1200 Watts)

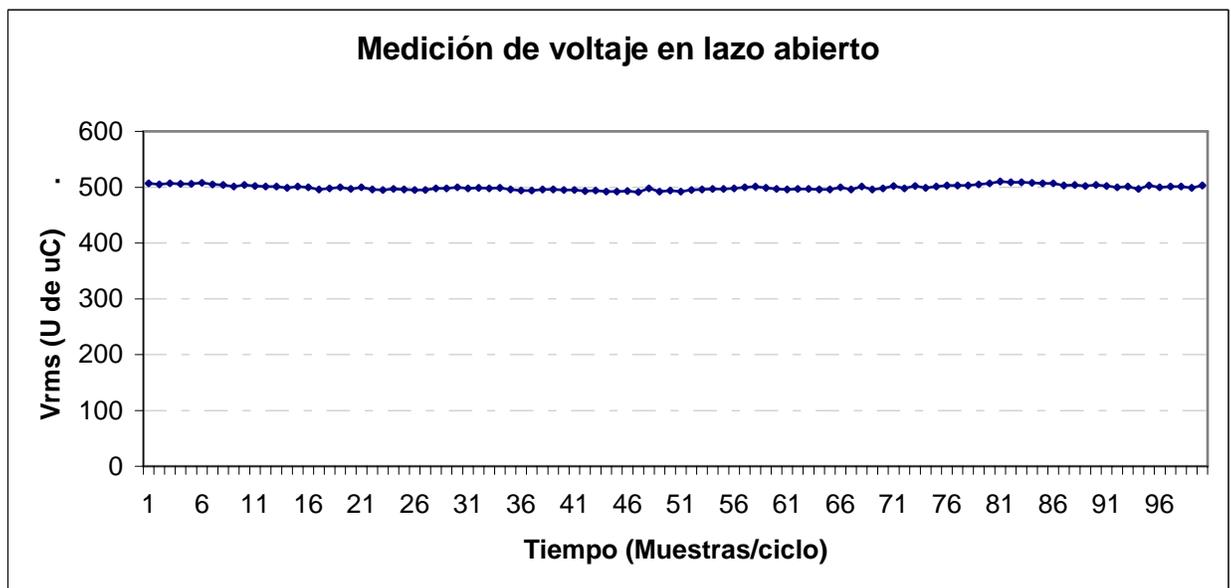


Figura 5.2 Medición del Vrms a través de la hyperterminal con carga

La medición de la corriente se realiza colocando la resistencia de un Ohm, 25 W en serie con la alimentación del voltaje de campo. Colocando las dos puntas del osciloscopio en la resistencia y ajustando la precisión del osciloscopio se toman lecturas de 200 milivolts (mV), por lo que se puede deducir que la lectura corresponde a 200 miliamperes (mA) como corresponde a la figura 5.3

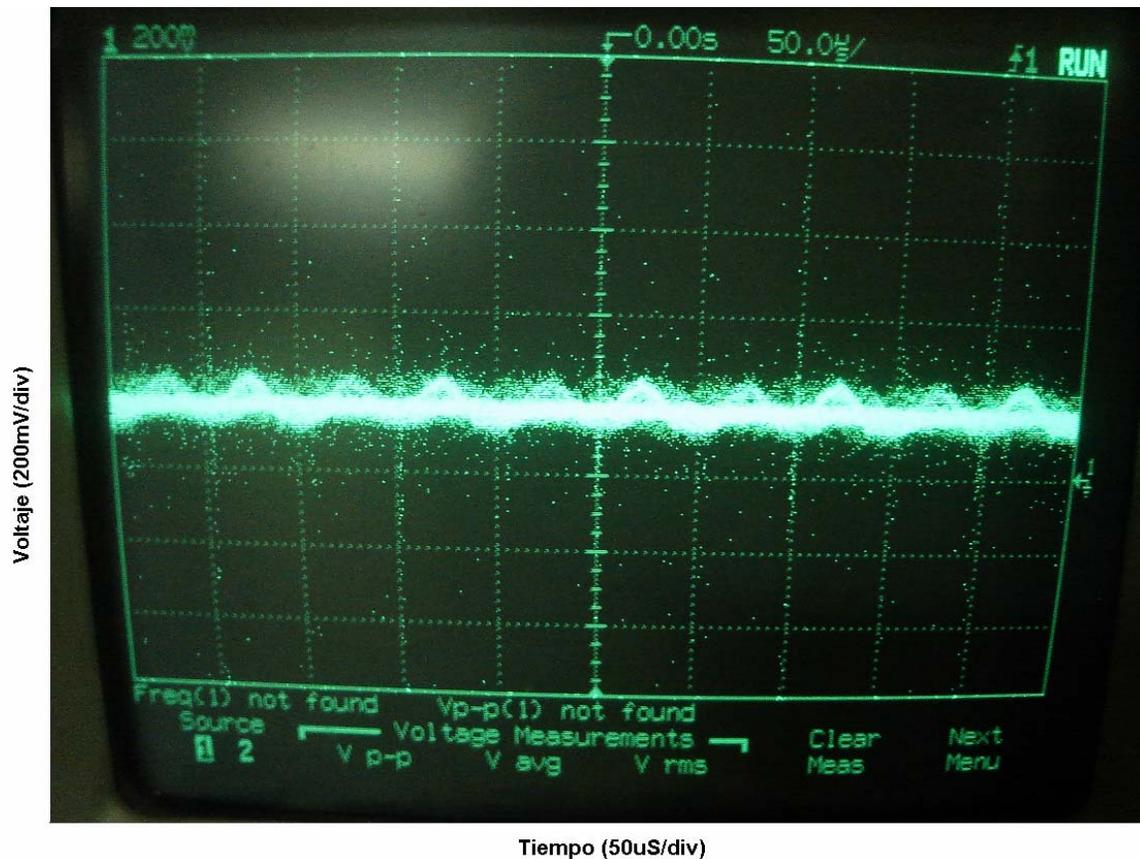


Figura 5.3 Medición de la corriente sin carga

Ahora se hace esta misma prueba con carga dando como resultado una lectura de 500 mV por lo que se deduce que corresponde a 500 mA como en la figura 5.4.

El segundo punto del plan de pruebas consiste en documentar los valores que tomaba la frecuencia a los respectivos cambios de carga. Esto se muestra en la tabla 5.1

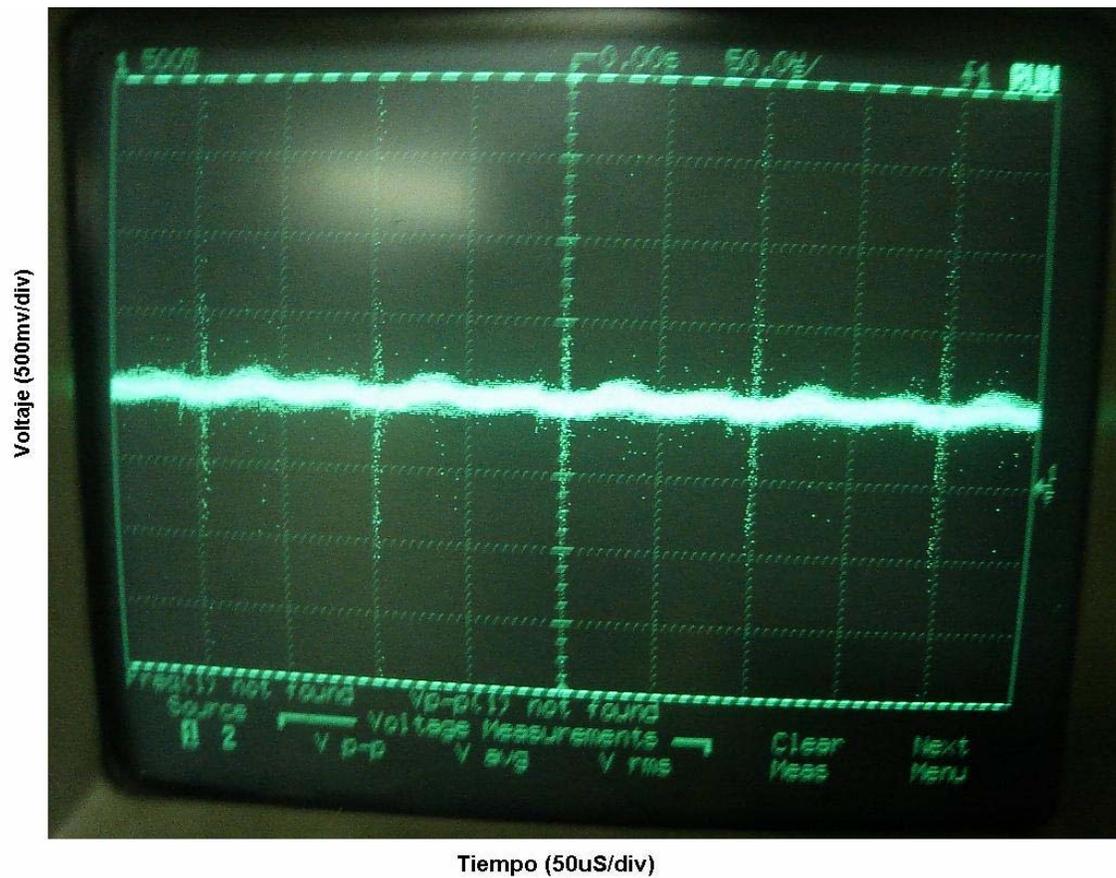


Figura 5.4 Medición de la corriente con carga

Tabla 5.1 Comportamiento de la Frecuencia contra la potencia a un voltaje constante

VOLTAJE (AC)	CARGA	FRECUENCIA
127	0 W	60
127	1200 W	57.75
127	1200 W	60
127	0 W	61.75

Se documentan los cambios en la frecuencia al aplicar la máxima capacidad del banco de resistencias en lazo abierto. Primeramente se estabiliza el voltaje en 127 VCA y 60Hz sin carga.

Después se aplica la carga y la frecuencia se reduce a 57.75 Hz. Una vez corregido el valor de la frecuencia a 60 Hz con carga se procede a retirar esta, quedando el valor en 61.5 Hz.

El tercer punto del plan de pruebas consiste en la sintonización del algoritmo de acuerdo a los pasos expuestos en la sección 2.1.3 Los cuales fueron los siguientes:

1. Ajustar k_i en el mínimo para ambas regiones del error

Se toman como valores los siguientes

KPALTO 100

KIALTO 0

KPBAJO 100

KIBAJO 0

LIMITE_BAJO 75

LIMITE_ALTO 200

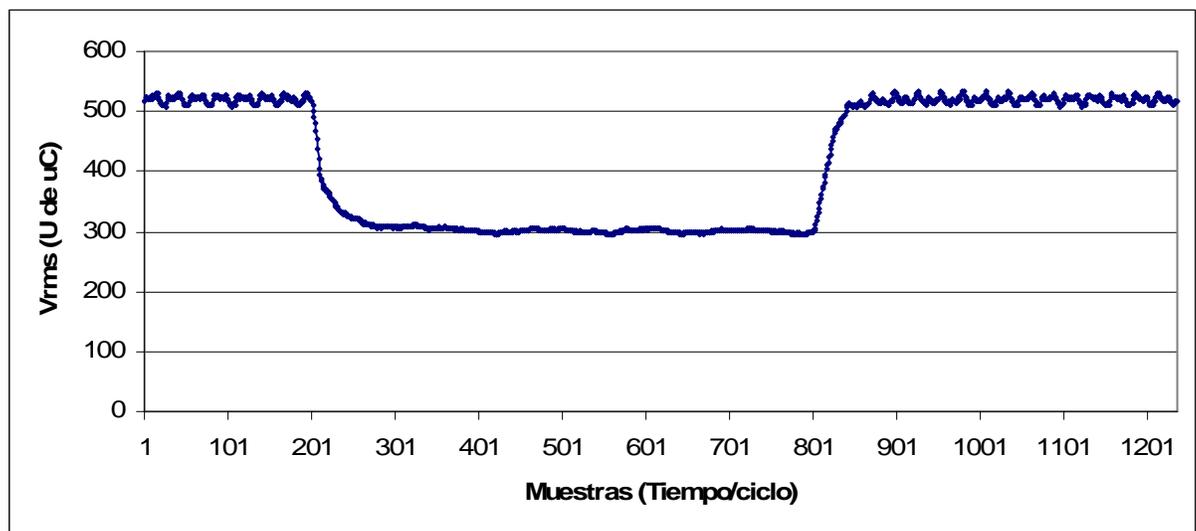


Figura 5.5 Primer paso de la sintonización

El resultado de la forma de onda con estos valores resulta como se muestra en la figura 5.5 donde se cambia el voltaje de referencia de 520 a 300, equivalente a un 0.58 PU.

2. Ajustar el valor máximo permitido de k_p antes de que oscile el sistema

Se toman como valores los siguientes

KPALTO 300

KIALTO 0

KPBAJO 300

KIBAJO 0

LIMITE_BAJO 75

LIMITE_ALTO 200

Puesto que colocando el KP en 400 el sistema oscilaba se decidió dejarlo en 300. La forma de onda resultante fue la mostrada en la figura 5.6

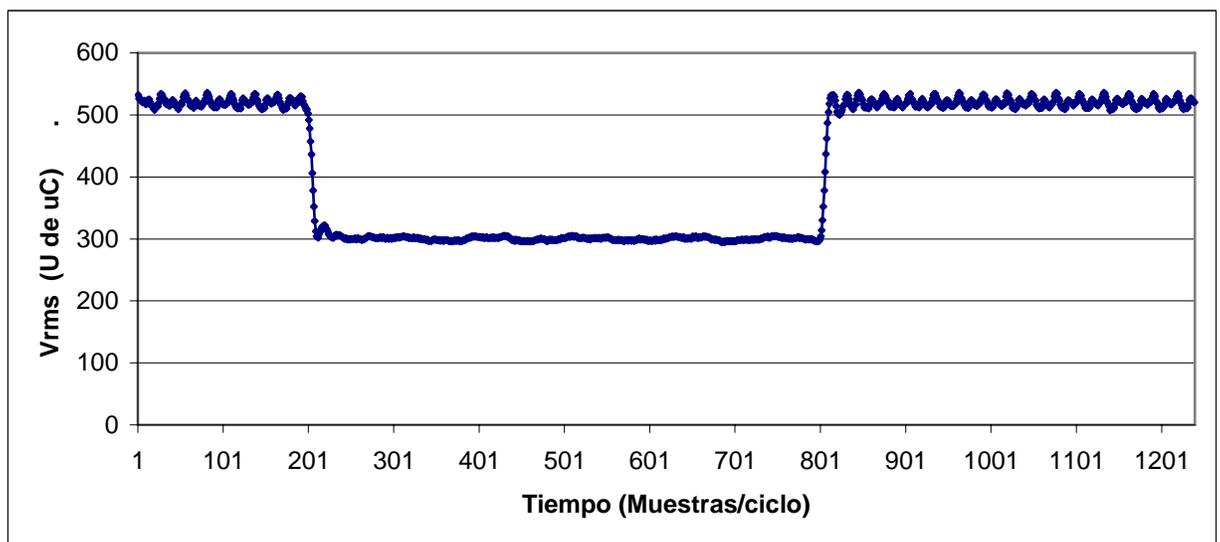


Figura 5.6 Segundo paso de la sintonización

3. Ajustar k_i en las regiones de error bajo y error alto en un valor que de una respuesta sobre amortiguada

Ahora como se muestra en la figura 5.7 se consigue un sobretiro usando los siguientes valores:

KPALTO 300

KIALTO 10

KPBAJO 300

KIBAJO 1

LIMITE_BAJO 75

LIMITE_ALTO 200

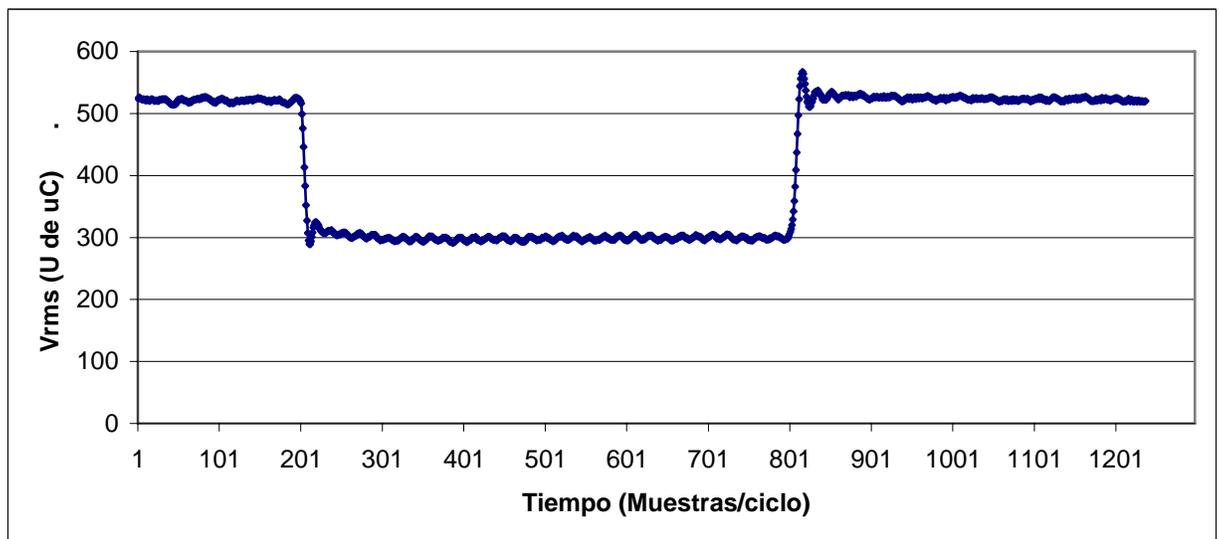


Figura 5.7 Tercer paso de la sintonización

4. Ajustar las funciones de membresía de error alto y bajo de forma conservadora

Estas se ajustaron conservadoramente desde un principio dando un límite bajo de 75 y límite alto de 200 equivalentes a ± 17 V y ± 46 V respectivamente.

5. Aumentar el valor de k_p y k_i en la región de error alto hasta obtener el tiempo de subida deseado

Ahora con los siguientes valores se realiza el siguiente paso de la sintonización, quedando como en la figura 5.8

KPALTO 300
KIALTO 20
KPBAJO 300
KIBAJ0 1
LIMITE_BAJO 75
LIMITE_ALTO 200

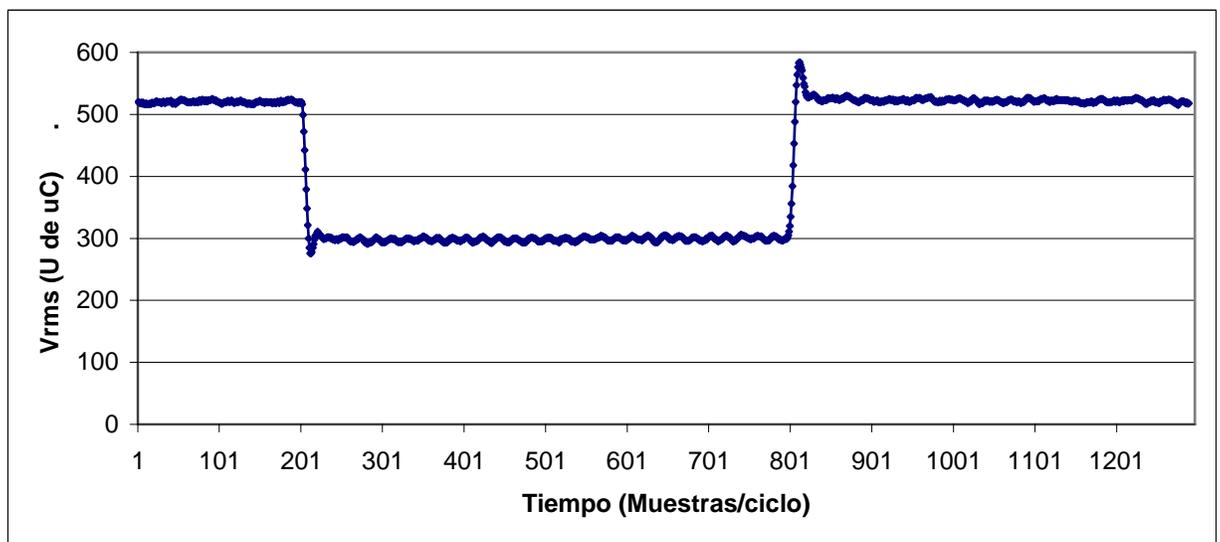


Figura 5.8 Quinto paso de la sintonización

6. Aumentar el valor de k_i en la región de error bajo hasta reducir el error estacionario a cero

Ahora se efectúa esta etapa de la sintonización con los siguientes valores

KPALTO 300
KIALTO 20
KPBAJO 300
KIBAJ0 3
LIMITE_BAJO 75
LIMITE_ALTO 200

La forma de onda resultante se muestra en la figura 5.9

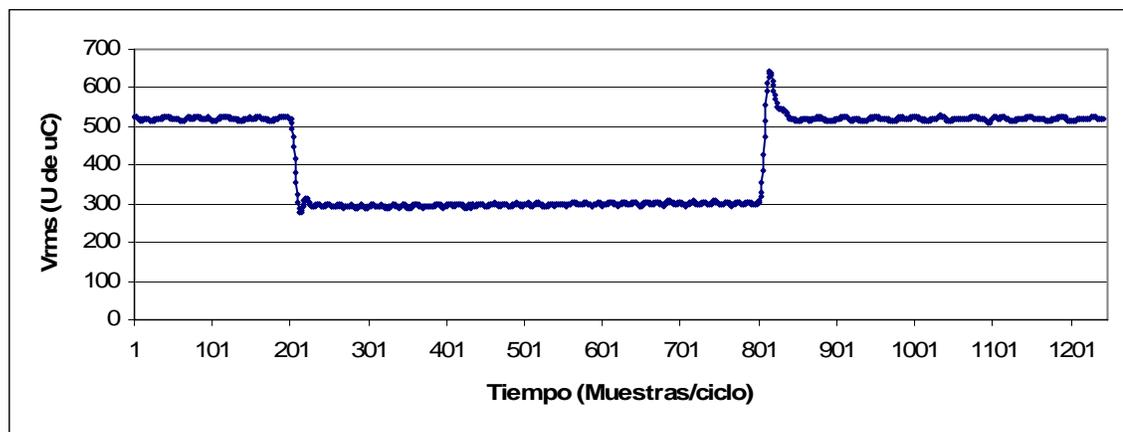


Figura 5.9 Sexto Paso de la sintonización

7. Disminuir el valor de k_i y k_p en la región de error bajo para disminuir oscilaciones y sobretiro

Se utilizan ahora los siguientes datos y la forma de onda se muestra en la figura 5.10

KPALTO 300
KIALTO 20
KPBAJO 100
KIBAJ0 3
LIMITE_BAJO 75

LIMITE_ALTO 200

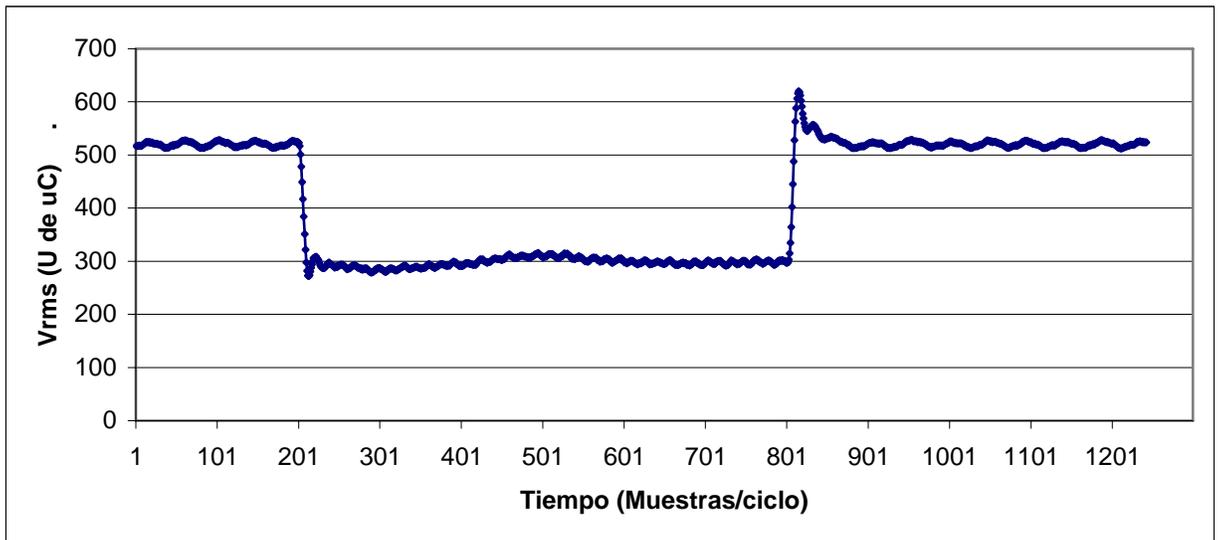


Figura 5.10 Séptimo paso de la sintonización

8. **Disminuir el valor de k_i en la región alto para evitar oscilaciones en la transición entre el error alto y bajo**

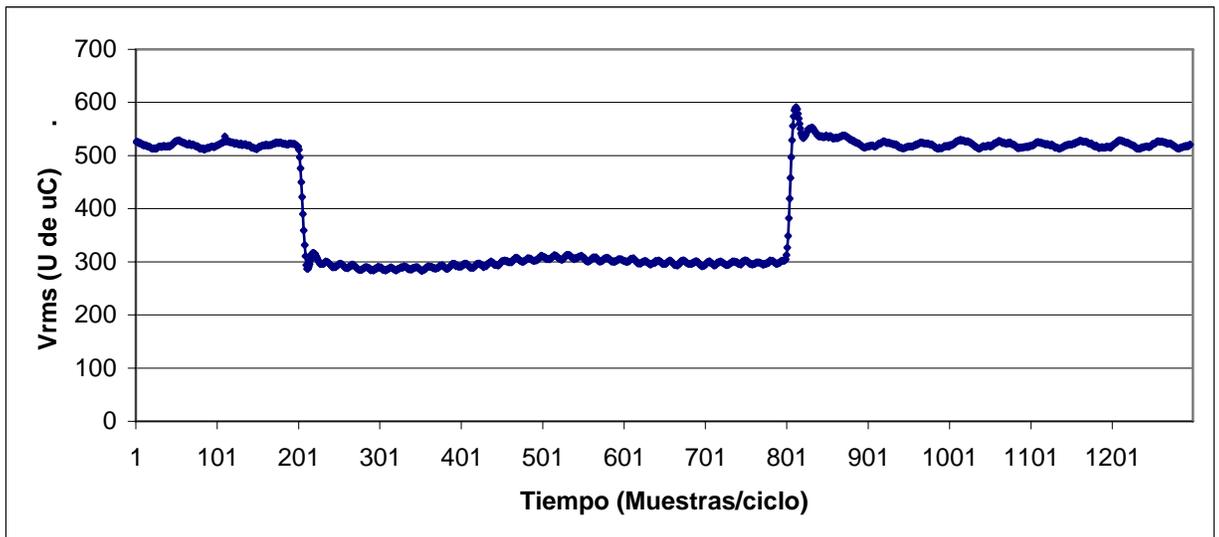


Figura 5.11 Octavo paso de la sintonización

Ahora se toman los siguientes datos y su salida se muestra en la figura 5.11

KPALTO 300
KIALTO 10
KPBAJO 100
KIBAJA 3
LIMITE_BAJO 75
LIMITE_ALTO 200

9. Ajustar las funciones de membresía de error alto y bajo hasta obtener una transición mínima

Ahora con los siguientes valores se reduce el límite alto y el resultado se muestra en la figura 5.12

KPALTO 300
KIALTO 10
KPBAJO 100
KIBAJA 3
LIMITE_BAJO 75
LIMITE_ALTO 150

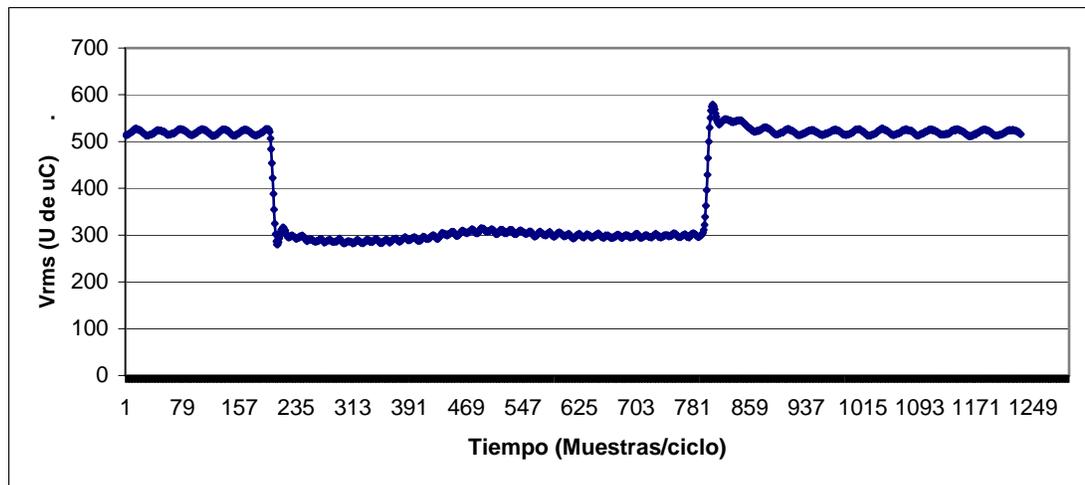


Figura 5.12 Noveno paso de la sintonización.

Teniendo estos valores con sus límites alto y bajo se procede a ajustar primeramente el control PI Lento haciendo pruebas con y sin carga a fin de tener su mejor respuesta.

Primeramente se prueba con carga, los datos utilizados fueron los siguientes

KPALTO 300
KIALTO 10
KPBAJO 150
KIBAJ0 1
LIMITE_BAJO 75
LIMITE_ALTO 150

Y su forma de onda se muestra en la figura 5.13

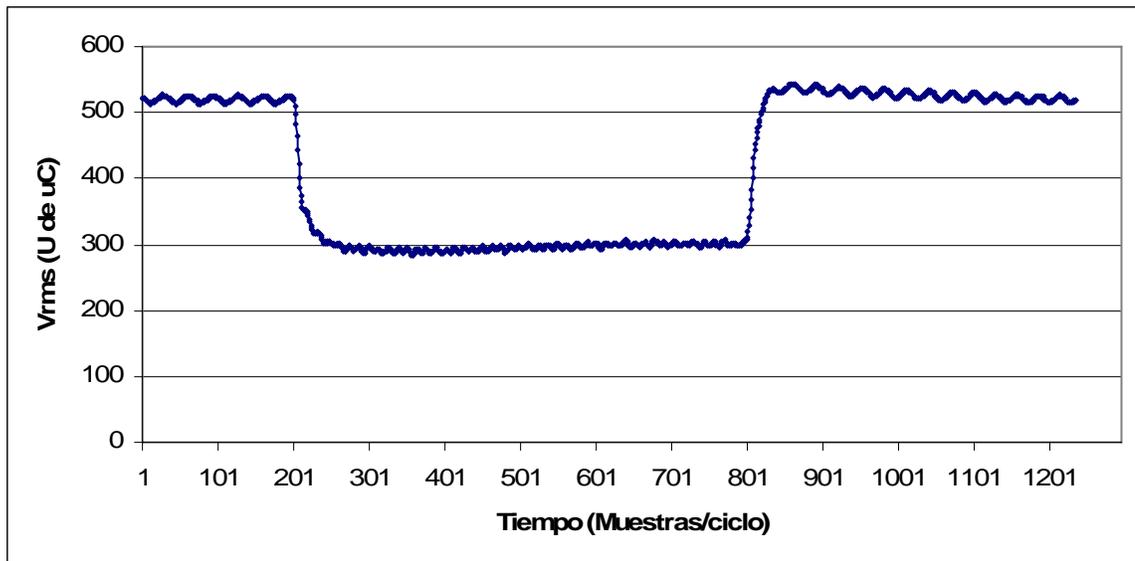


Figura 5.13 Sintonización de control PI lento

Como hay un sobretiro se decide probar el control PI lento sin la ganancia integral tomando los siguientes valores su forma de onda se muestra en la figura 5.14

KPALTO 300
KIALTO 10
KPBAJO 120
KIBAJ0 0
LIMITE_BAJO 75
LIMITE_ALTO 150

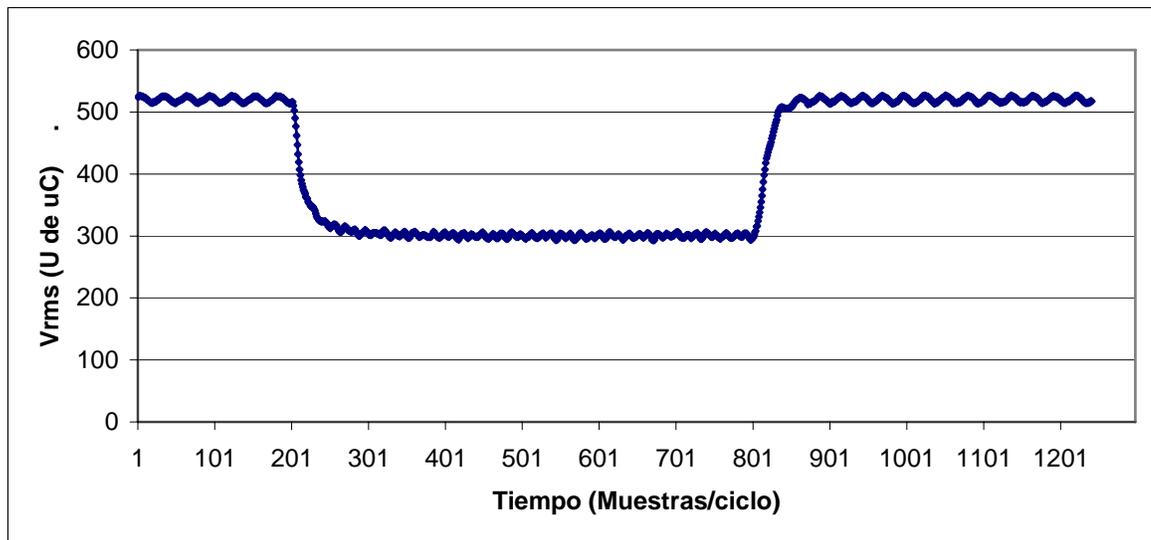


Figura 5.14 Sintonización de control PI lento

Como se aprecia en la figura 5.14 el sobretiro desapareció. Se realiza otra prueba disminuyendo la ganancia proporcional ahora con los siguientes datos:

KPALTO 300
KIALTO 10
KPBAJO 80
KIBAJ0 0
LIMITE_BAJO 75
LIMITE_ALTO 150

Su forma de onda se muestra en la figura 5.15

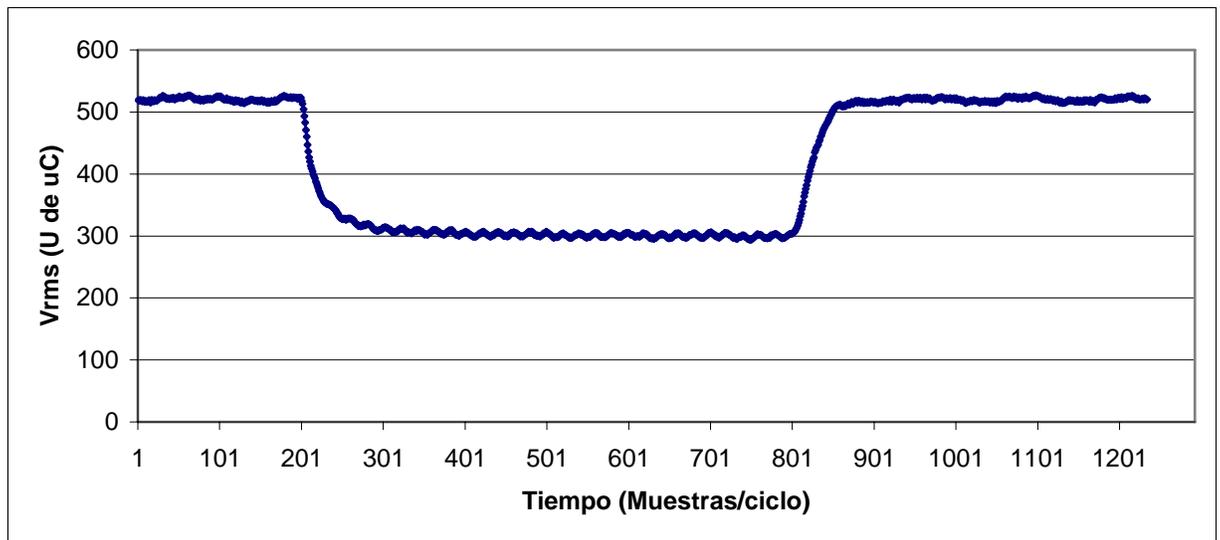


Figura 5.15 Sintonización de control PI lento

Con estos mismos datos se verifica el control PI lento sin carga a fin de analizar su comportamiento. Este se muestra en la figura 5.16

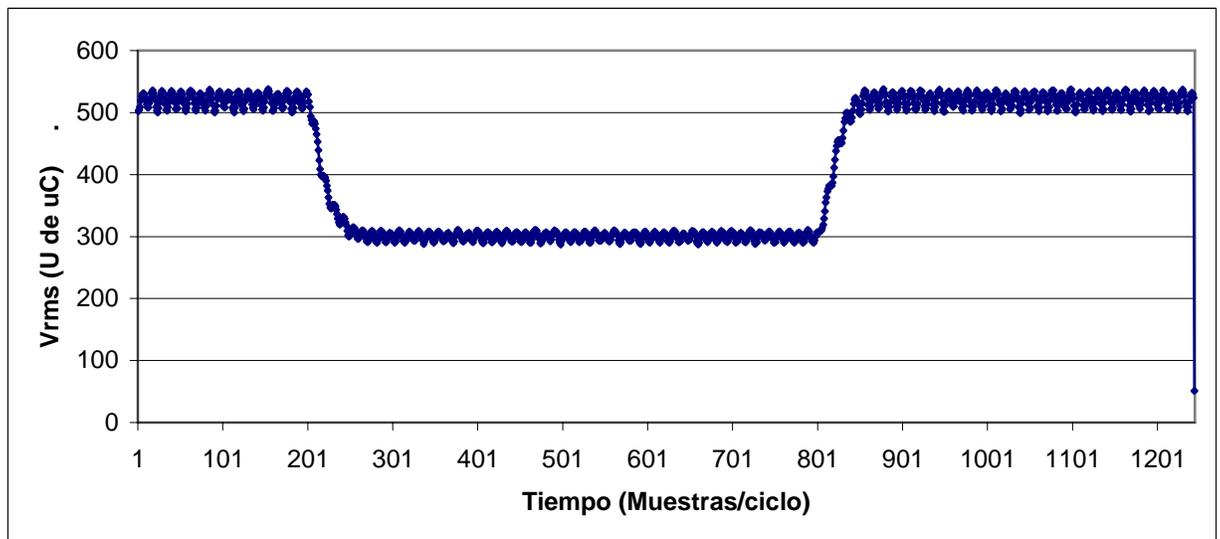


Figura 5.16 control PI lento sin carga

Ahora se procede a analizar el control forzando a ejecutarse al PI rápido con los mismos datos anteriores. Su forma de onda se muestra en la figura 5.17

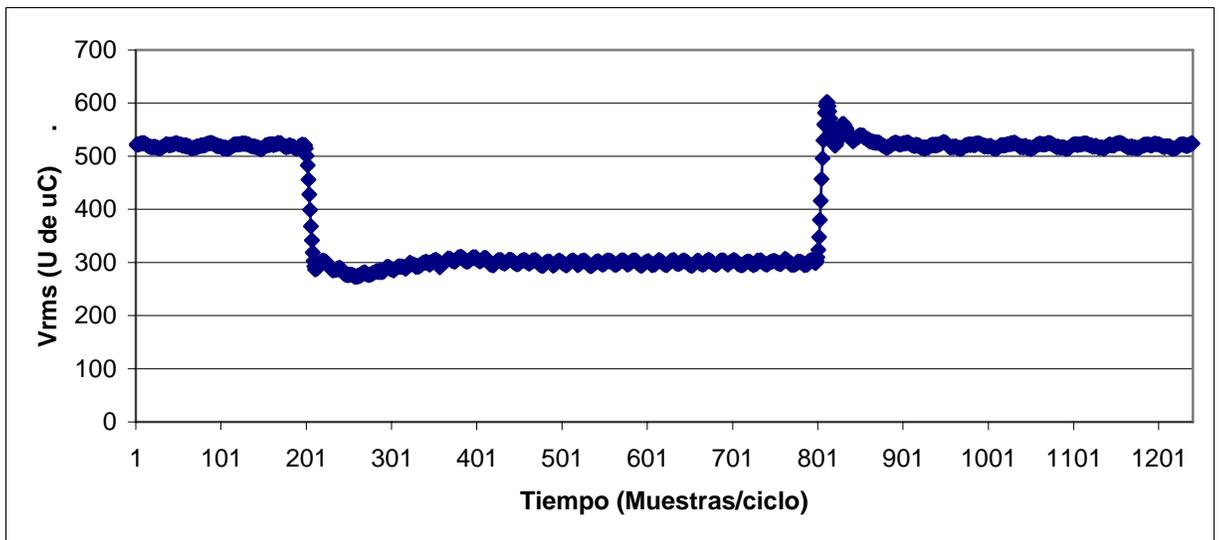


Figura 5.17 Control PI rápido

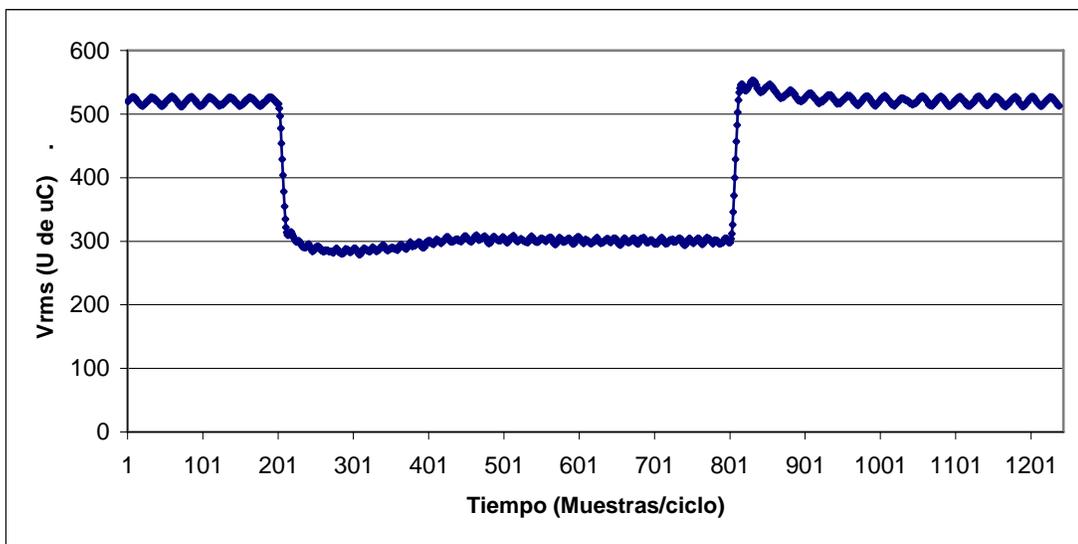


Figura 5.18 Control PI rápido

Se procede a disminuir los valores de K_p y K_i a fin de disminuir el sobretiro sin que se vea afectado en lo posible el tiempo de subida, por lo que se prueban los siguientes valores:

KPALTO 250

KIALTO 5
KPBAJO 80
KIBAJ0 0
LIMITE_BAJO 75
LIMITE_ALTO 150

Su forma de onda se muestra en la figura 5.18

Ahora con los mismos datos se prueba el control sin carga, esto se muestra en la figura 5.19

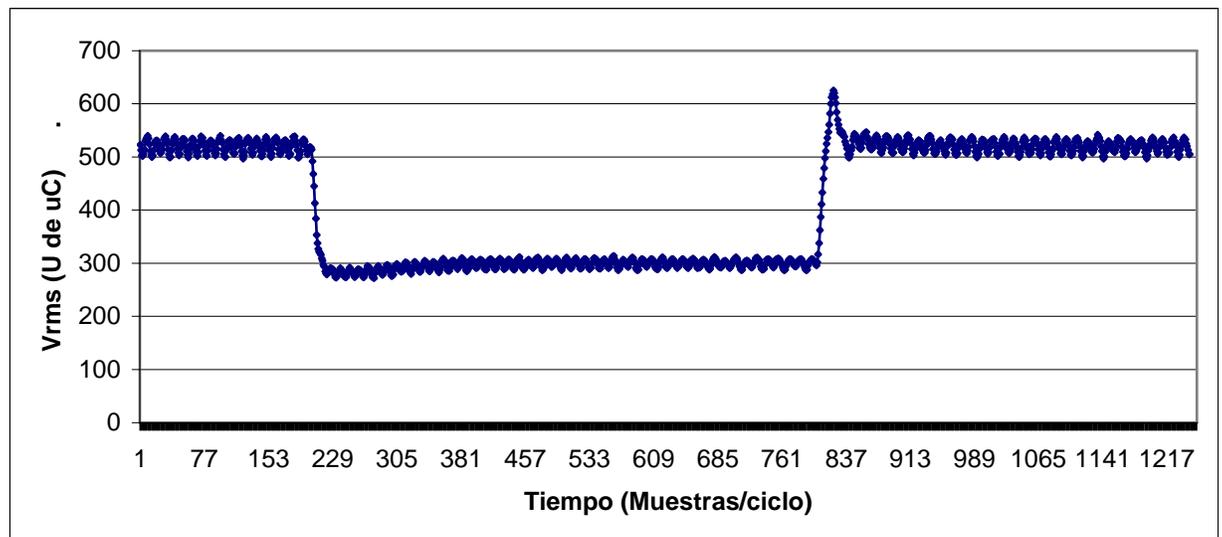


Figura 5.19 Control PI rápido sin carga

Como el control PI alto sin carga presenta un sobretiro demasiado alto se decide entonces ajustar primeramente este para que tenga una respuesta adecuada por lo que se decide disminuir los valores de k_p y k_i . En la figura 5.20 se muestra la forma de onda correspondiente a los siguientes datos:

KPALTO 180
KIALTO 3

KPBAJO 80
 KIBAJ0 0
 LIMITE_BAJO 75
 LIMITE_ALTO 150

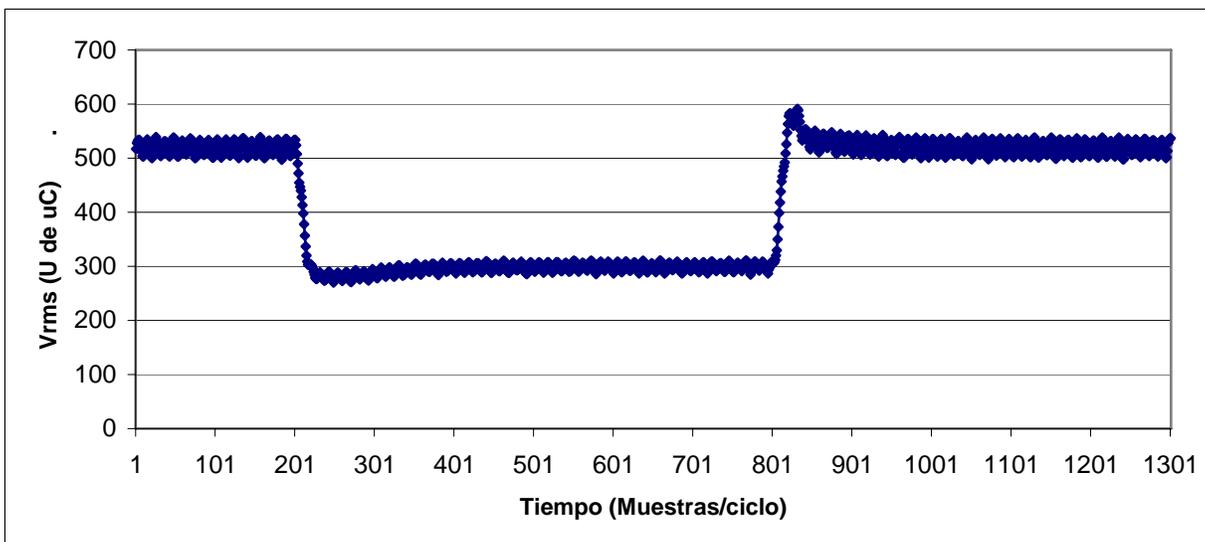


Figura 5.20 Control PI rápido sin carga

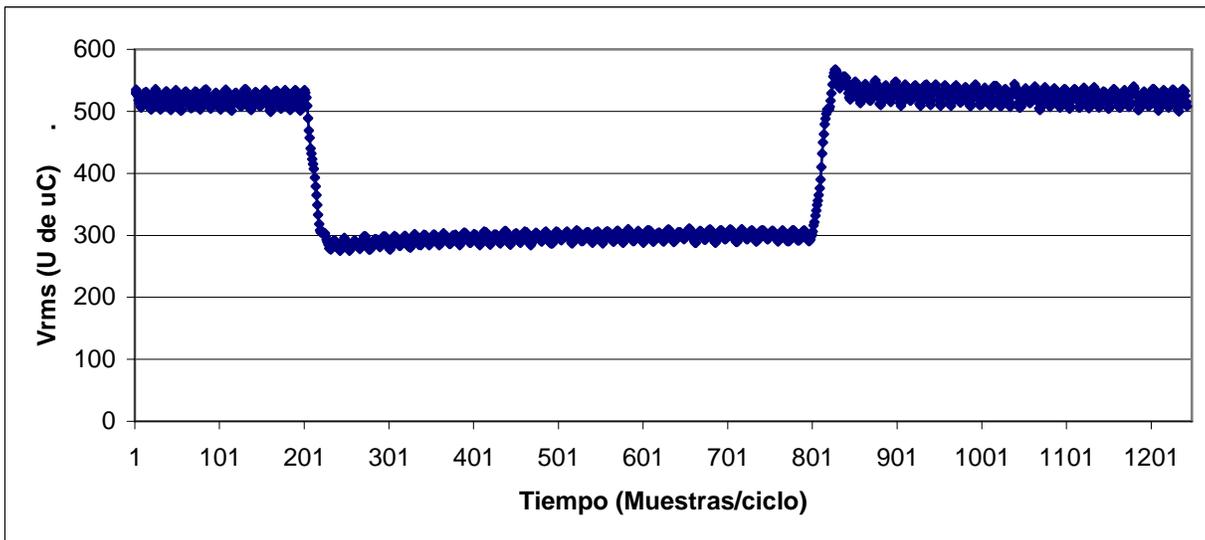


Figura 5.21 Control PI rápido sin carga

Después de ver el comportamiento que se muestra en la figura 5.20 se decide reducir mas las ganancias teniéndose entonces el resultado mostrado en la figura 5.21 usando los siguientes datos:

KPALTO 180
KIALTO 1
KPBAJO 80
KIBAJ0 0
LIMITE_BAJO 75
LIMITE_ALTO 150

Ahora ya teniendo los valores a utilizar tanto por el PI lento como por el PI rápido se procede a efectuar las mediciones con y sin carga con el control difuso.

En la figura 5.22 se muestra el control difuso sin carga con las ganancias k_p y k_i previamente obtenidas

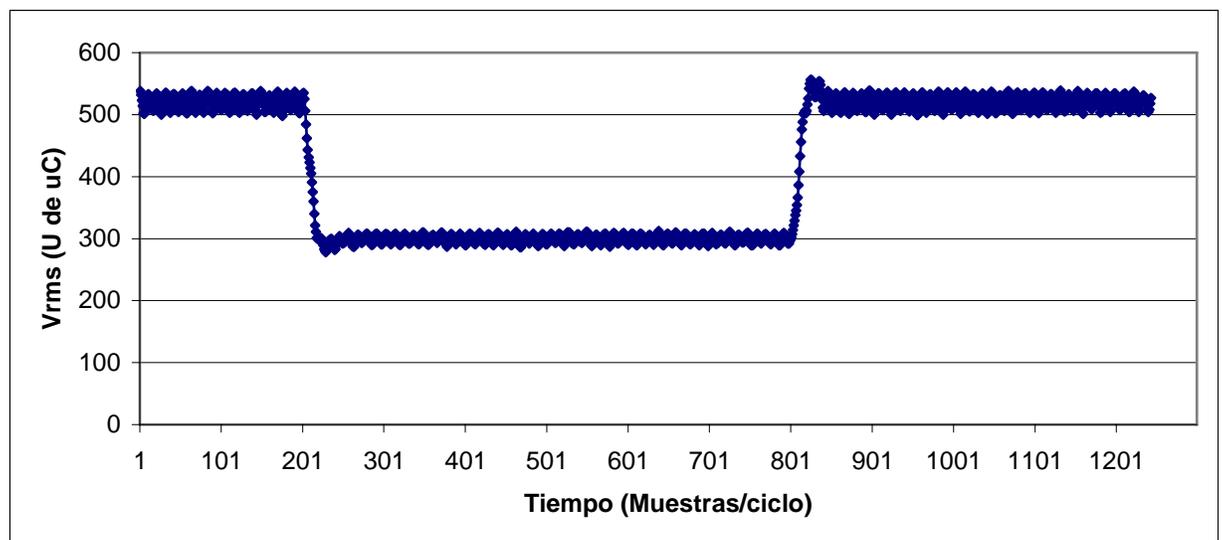


Figura 5.22 Control Difuso sin carga

En la figura 5.23 se muestra el control difuso con carga máxima utilizando las mismas ganancias obtenidas.

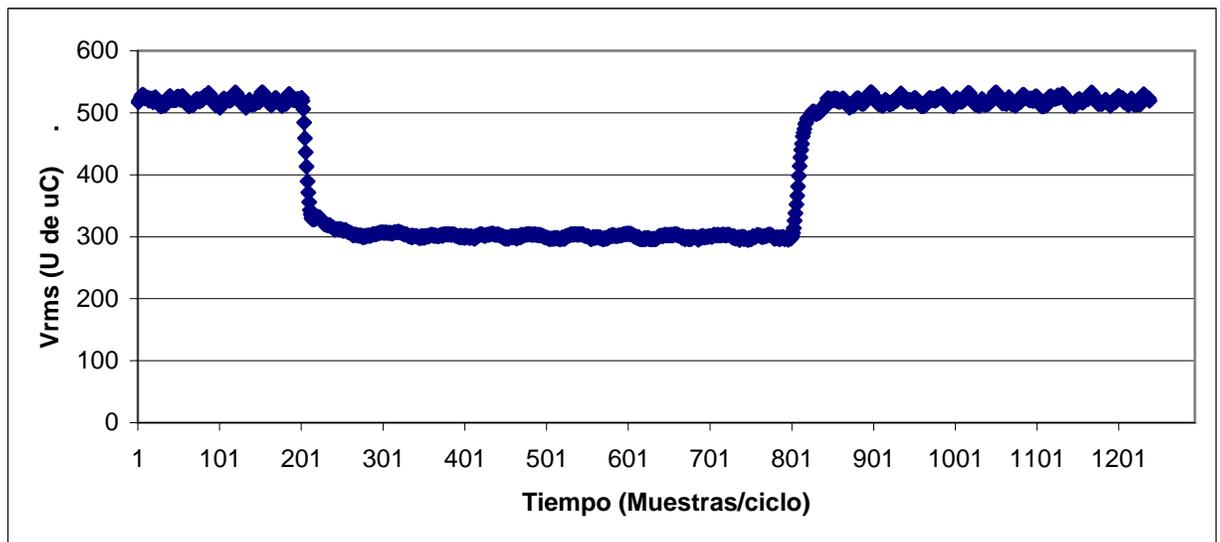


Figura 5.23 Control Difuso con carga

Ya teniendo el control difuso se procede a medir el error y el cambio del error que este proporciona. Primero se prueba el PI lento con el error en la figura 5.24 y el cambio del error en la figura 5.25

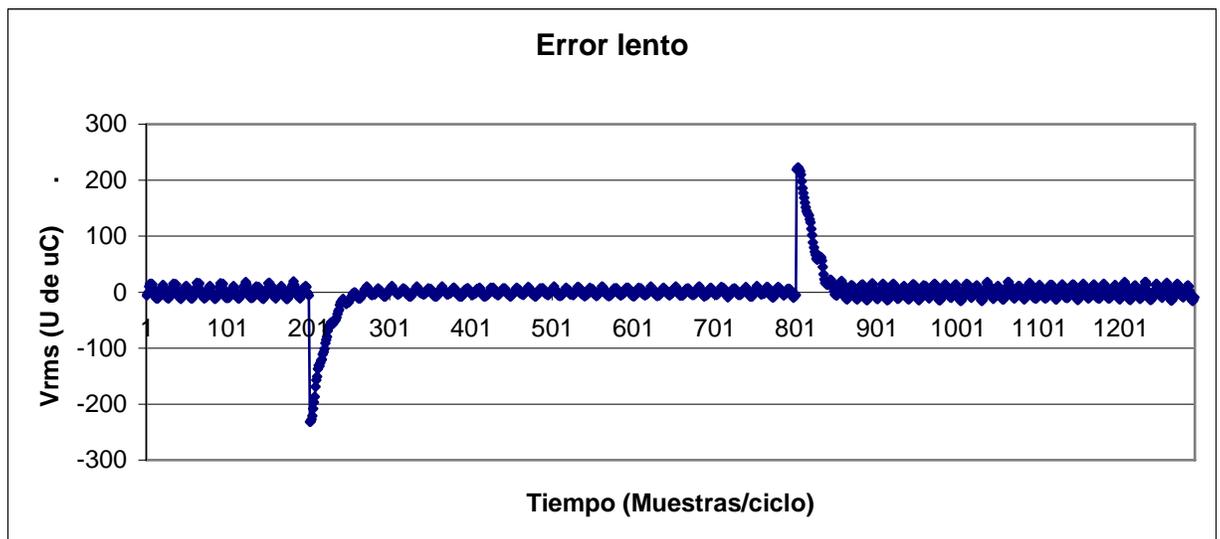


Figura 5.24 Gráfica del error con el control PI lento

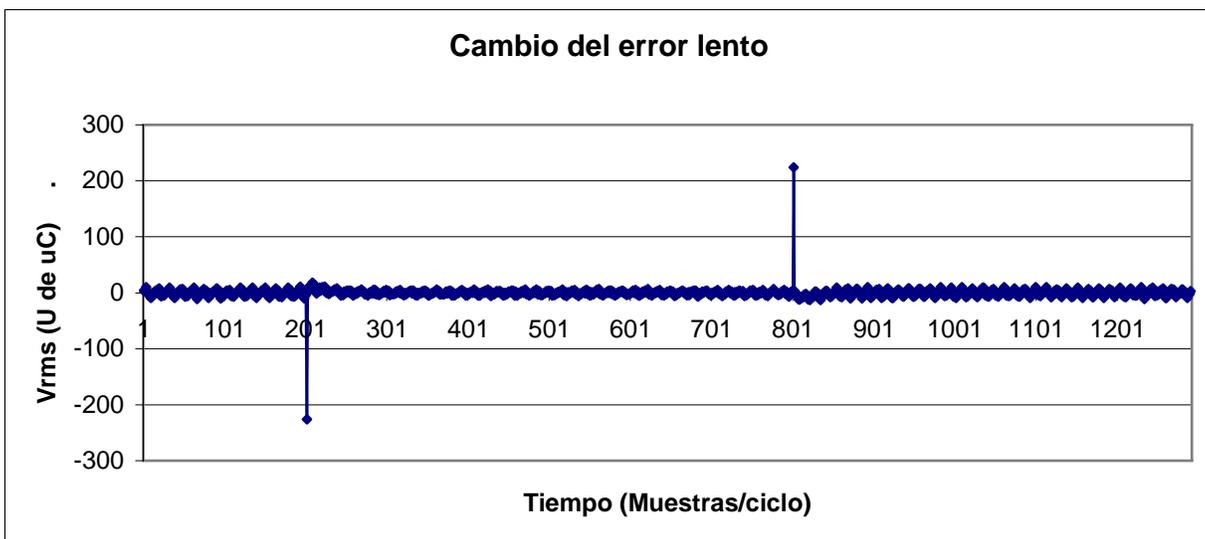


Figura 5.25 Gráfica del cambio del error con el PI lento

Ahora en las figuras 5.26 y 5.27 se muestran el error y el cambio del error cuando se aplica el control PI rápido

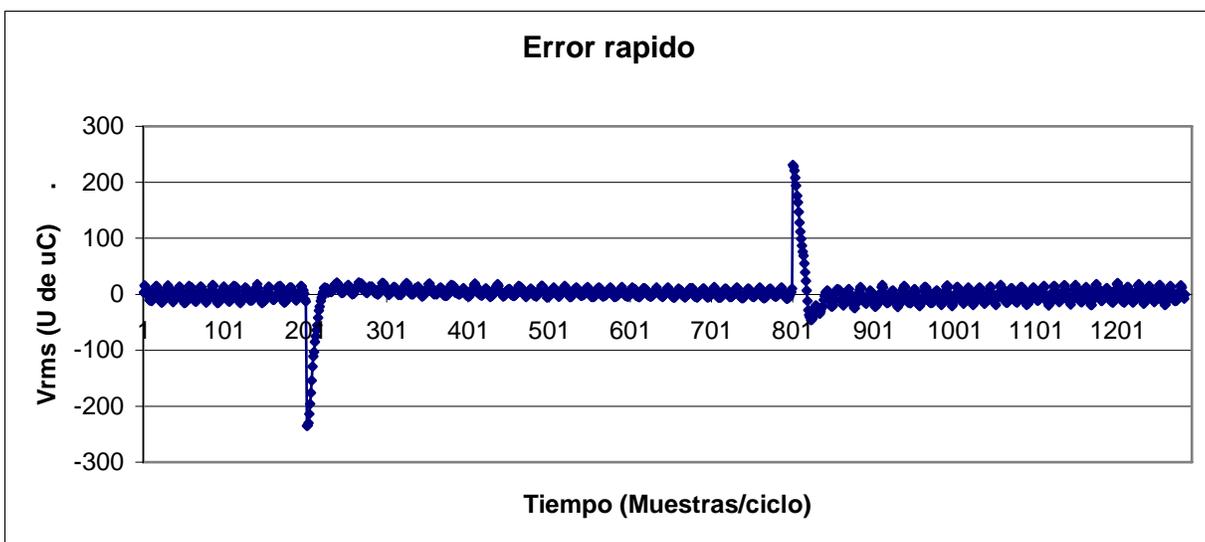


Figura 5.26 Gráfica del error con el control PI rápido

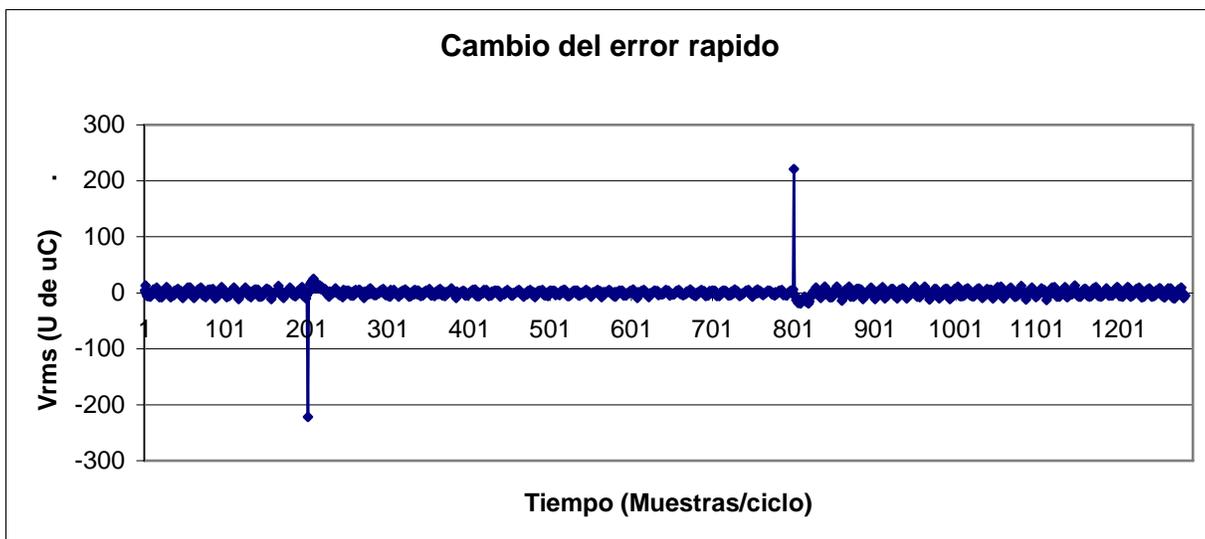


Figura 5.26 Gráfica del cambio del error con el control PI rápido

Finalmente en las figuras 5.27 y 5.28 se muestran el error y el cambio del error en el control difuso implementado.

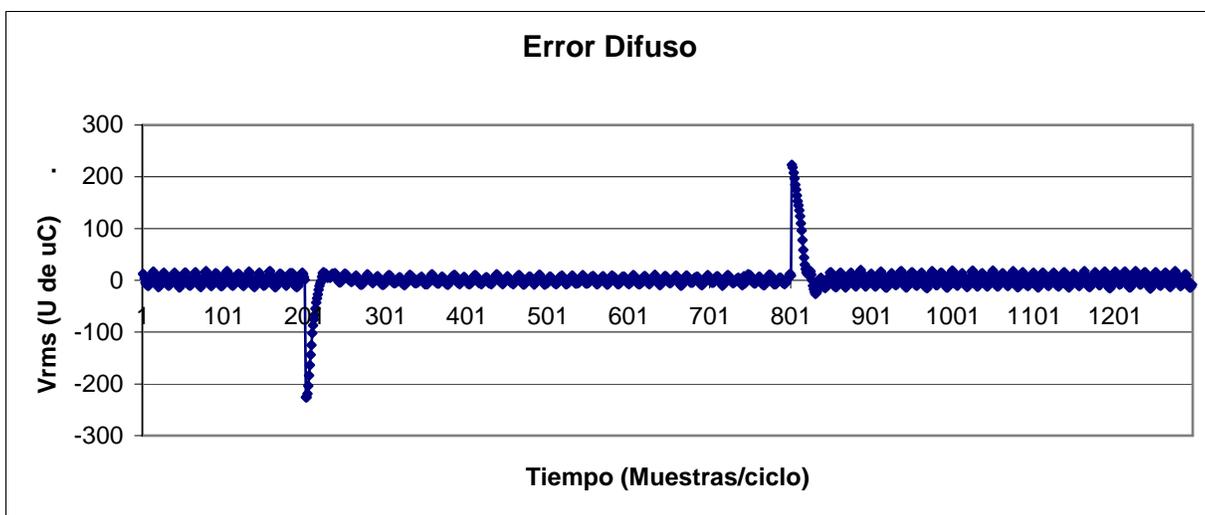


Figura 5.27 Gráfica del error con el control difuso

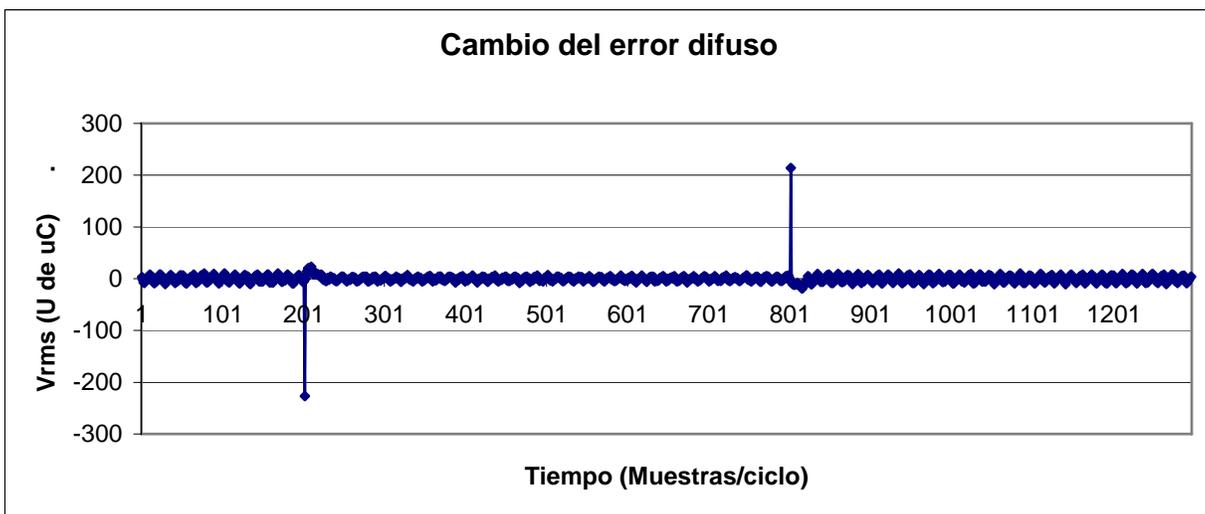


Figura 5.28 Gráfica del cambio del error con el control difuso

En la figura 5.29 se muestra la gráfica de estabilidad (error vs cambio del error) del PI lento

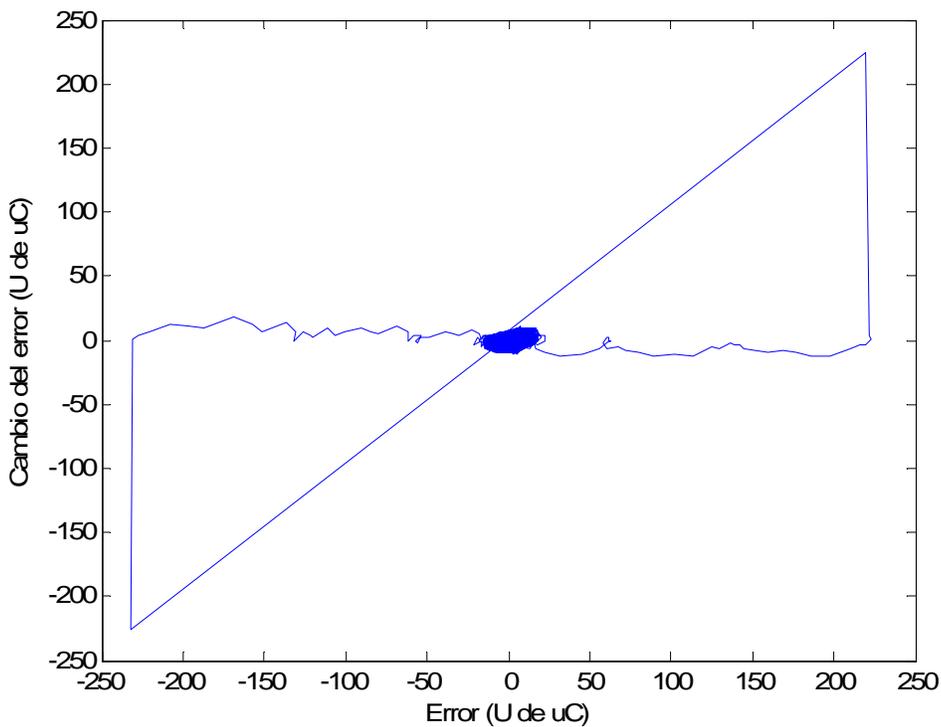


Figura 5.29 Gráfica de estabilidad PI lento

En la figura 5.30 se muestra la gráfica de estabilidad del PI rápido

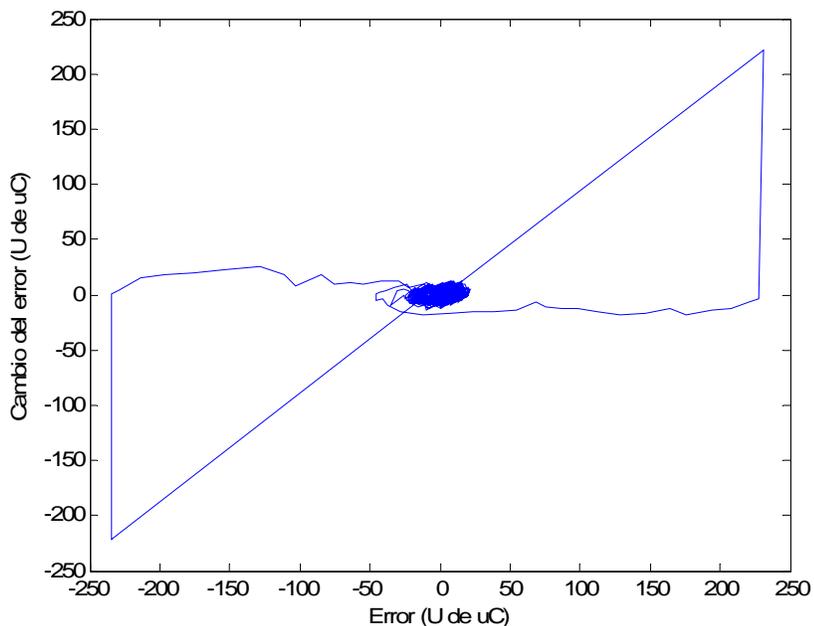


Figura 5.30 Gráfica de estabilidad del PI rápido

En la figura 5.31 se muestra la gráfica de estabilidad del PI difuso

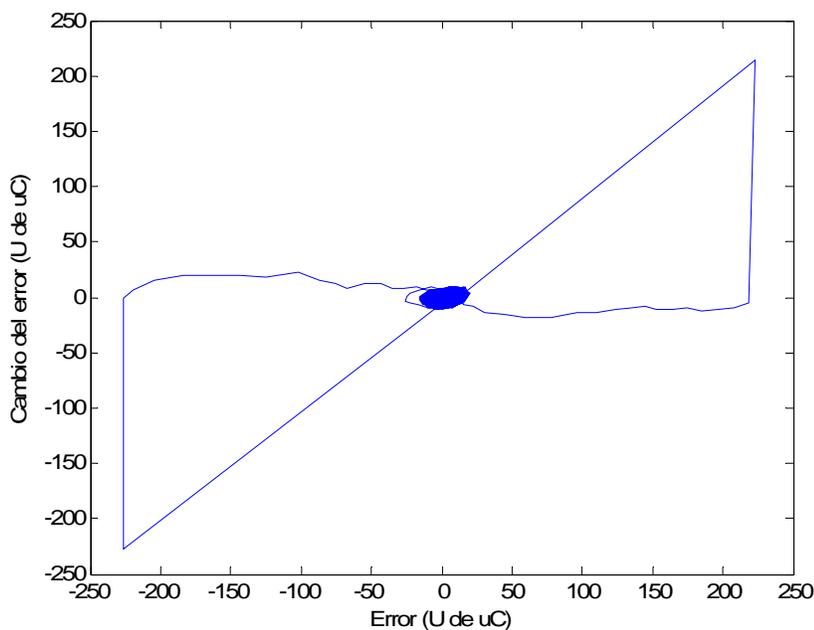


Figura 5.31 Gráfica de estabilidad del PI difuso

CAPÍTULO

6

CONCLUSIONES Y RECOMENDACIONES PARA TRABAJOS FUTUROS

6.1 Conclusiones

Se llevó a cabo la implementación del regulador de voltaje con un algoritmo empleando lógica difusa y se probó con la micromáquina DeLorenzo del laboratorio de sistemas digitales.

Se llevaron a cabo las pruebas para la sintonización encontrándose los valores para realizar el ajuste del control rápido y del control lento, con los que se logró desarrollar el control difuso

Se demuestra que este control tiene un rendimiento superior al control convencional, además de probar su estabilidad, en forma experimental.

Se diseñó e implementó el código en lenguaje C de un algoritmo PI Takagi-Sugeno en un microcontrolador DSP de 16 bits, el cual puede servir como plantilla de referencia para trabajos que se desarrollen a futuro.

6.2 Recomendaciones para trabajos futuros

El regulador de voltaje implementado en la tarjeta de desarrollo CTPE-V4, contiene puertos de comunicación que manejan los protocolos RS232 y RS485, permite conectarse a través de estos a la PC o a otros dispositivos que pudieran requerir de la acción del regulador para integrar un sistema micromáquina completo. Entre los dispositivos que pudieran requerirlo son un sincronizador o una interfaz hombre máquina por citar dos ejemplos.

Se recomienda efectuar el regulador de voltaje autoalimentado a través de su salida en terminales si se requiriera utilizarlo en una planta de emergencia real.

Se recomienda igualmente utilizar la comunicación con el display frontal del modulo a fin de que este muestre los valores de regulación de voltaje y sus valores de referencia permitiendo que todo el control sea configurado manualmente.

Asimismo es ampliamente recomendable su funcionamiento junto con el prototipo del gobernador de velocidad a fin de que este regule la frecuencia de forma automática.

REFERENCIAS

- [1] A.H.M.S. Ula y Abul R. Hasan , “Design and implementation of a personal computer based automatic voltage regulator for a synchronous generator” Transactions on Energy Conversion Vol. 7 No. 1 pp. 125-131, Marzo1992
- [2] A. Godhwani y M.J. Basler , “A digital excitation control system for use on brushless excited synchronous generators” IEEE Transactions on Energy Conversion. Vol 11, No 3 pp. 616-620 Septiembre 1996
- [3] Raúl Cortes “Control de excitación difuso de un generador síncrono” Tesis de Doctorado, SEPI ESIME ZAC IPN. 1997
- [4] M.G. McArdle, D.J. Morrow , et al, “A fuzzy tuning PID automatic voltage regulator for small salient pole alternators” Powercon 2000: International Conference on Power System Technology pp 103-108 Diciembre 2000
- [5] Richard C Schaefer y Kiyong Kim , “Excitation control of the synchronous generator” IEEE industry applications magazine pp 37-43 Marzo-Abril 2001
- [6] C S Hoong S Taib y K S Rao y I Daut , “Development of Automatic Voltage Regulator for Synchronous Generator” National Power & Energy Conference (PECon), pp 180-184 Kuala Lumpur, Malaysia 2004
- [7] Saiful Jamaan, Md Shah Majad, et al , “A comparative study of PI and fuzzy logic automatic voltage regulator of a micro-alternator system” National Power & Energy Conference (PBCon) pp 13-18 Kuala Lumpur, Malaysia 2004
- [8] Metrowerks, “Programmer’s guide” ch MotorControl.chm
Available:Metrowerks\CodeWarrior\ProcessorExpert\DOCs\PEhlp00.html

-
- [9] Javier Herrera “Implementación en un DSP de un regulador de velocidad difuso tipo Takagi-Sugeno para un arreglo de motor de corriente directa-alternador” Tesis de Maestría SEPI ESIME ZAC, IPN 2003
- [10] Zadeh,L.A., “Fuzzy Sets”. Information and control, pp 338. ,1965
- [11] Chuen Chien Lee, “Fuzzy Logic in Control Systems: Fuzzy Logic Controller-Part I”. IEEE Transactions on Systems, Man, and Cibernetics. Vol. 20 No 2, pp. 404-418, Marzo/Abril 1990.
- [12] Takagi and Sugeno, “Fuzzy identification of systems and its applications to modeling and control”. IEEE, Trans. Syst., Man, Cybern., vol.15, pp.116-132, 1985.
- [13] Mamdani E.H. , “Application of fuzzy algorithms for control of simple dynamic plant ”. Proc.IEEE, vol.121, no.12, pp. 1585-1588, 1976
- [14] DSP56F800 16-bit Digital Signal Processor, Family Manual,DSP56F800FM/D, Freescale
- [15] Control de Planta manual MN 0064 0187, RACOM, 2004
- [16] Carlos Cuvas, “Implementación de un medidor Fasorial”, Tesis de Maestría SEPI ESIME ZAC IPN 2006
- [17] DSP56F80x 16-bit Digital Signal Processor, User’s Manual, DSP56F801-7UM/D, Freescale.
- [18] C. Barragán Villegas, R. A. Cortés Mateos B. V. Hernández Gómez , A. E. Rivera Sizzo, A. Villavicencio Acosta “Regulador PI del voltaje de campo de una maquina generadora (tipo experimental) mediante un procesador de señales

-
- digitales (DSP 56F8323)” 9° congreso nacional de ingeniería electromecánica y de sistemas Noviembre 2006
- [19] B.V. Hernandez Gomez, A. Villavicencio “Regulador PI del voltaje de campo de una maquina generadora (tipo experimental) mediante un procesador de señales digitales (dsp 56f8323)” Tesis de Licenciatura ESIME ZAC, IPN 2008
- [20] G. Enríquez “Curso de Maquinas Síncronas” Editorial Limusa . ch..3, pp. 149. 1983
- [21] Cathey J Jimmie “Maquinas Eléctricas” Ed. McGraw Hill pp.421- 428 2005
- [22] Stephen J Chapman “ Maquinas Eléctricas” Ed. McGraw Hill 2ª edicion pp1-8 1993
- [23] DeLorenzo “Sistemas didácticos para la formación técnica”
- [24] Steven W. Smith, “Digital Signal Processing.” Ed. California Technical Publishing, , ch. 2, pp. 13–17. Available: <http://www.DSPguide.com> 1999
- [26] DSP56800E Reference Manual, DSP56800ERM/D; Freescale
- [27] 56F8300 Peripheral User Manual, MC56F8300UM/D; Freescale
- [28] IEEE Std 421.2 ”IEEE Guide for Identification, Testing and Evaluation of the Dynamic Performance of Excitation Control Systems” 1990
- [29] International Rectifier Control Integrated Circuits Página Web <http://www.irf.com>
- [30] Hewlett Packard High Speed Optocouples Página Web <http://www.hp.com>
- [31] Fairchild Semiconductors <http://www.fairchildsemi.com/>
-

ÁPENDICES

A. PROGRAMAS

A.1 Programas de Code Warrior

A.1.1 Principal

```

/** #####
**  Filename : DifusPI_dft_ref__A_err_func.C
**  Project  : DifusPI_dft_ref__A_err_func
**  Processor : 56F8323
**  Version  : Driver 01.11
**  Compiler : Metrowerks DSP C Compiler
**  Date/Time : 28/04/2008, 09:39 p.m.
**  Abstract :
**    Main module.
**    Here is to be placed user's code.
**  Settings :
**  Contents :
**    No public methods
**
**  (c) Copyright UNIS, spol. s r.o. 1997-2006
**  UNIS, spol. s r.o.
**  Jundrovska 33
**  624 00 Brno
**  Czech Republic
**  http   : www.processorexpert.com
**  mail   : info@processorexpert.com
** #####*/
/* MODULE DifusPI_dft_ref__A_err_func */

/* Including used modules for compiling procedure */
#include "Cpu.h"      //
#include "Events.h"  //
#include "AD1.h"
#include "AS1.h"
#include "TMR1.h"
#include "MFR1.h"
#include "PWM1.h"
#include "TI1.h"
#include "TFR1.h"
#include "MEM1.h"

```

```

/* Include shared modules, which are used for whole project */
#include "PE_Types.h"
#include "PE_Error.h"
#include "PE_Const.h"
#include "IO_Map.h"
#include <stdio.h>
#include "stdio.h"

#define NoMUESTRAS_ADC      96 //96m a 60Hz FM: 5760, FciaLED: 2880Hz (togle)
#define NoFASES             1
#define NoDIMENSIONES      2
#define NoELEMENTOS_TABLA_SEC 65 // De 0--->64
#define FACTOR_1           48 // NoMUESTRAS_ADC/2
#define KPALTO              180 //Ganancia proporcional alta
#define KIALTO              1 //Ganancia integral alta
#define KPBAJO              80 //Ganancia proporcional baja
#define KIBAJO              0 //Ganancia integral baja
#define LIMITE_BAJO        75 //limite de membresia inferior
#define LIMITE_ALTO        150 //limite de membresia superior

/*****/
/*Constantes utilizadas para el escalamiento de variables */
/*****/
#define Q8      255 //2^8-1
#define Q3      8 //2^3
#define Q6      64 //2^6
#define Q9      512 //2^9
#define Q10     1024 //2^10
#define Q11     2048 //2^11
#define Q16     65536 //2^16
#define Q15     32768 //2^15

/*****/

//Este es el voltaje de referencia medido por el microcontrolador
#define VREF 520
//Voltaje medido
Frac32 Vrms;
//Vector donde se guardan los valores de la magnitud
Frac16 Re_Im_aux_16[NoFASES][NoDIMENSIONES];

//Variable de datos para transmision via serial
char buffer[50],c=FALSE;
unsigned char *dirdato;
int cont_TS=20000;//contador auxiliar en la comunicaci3n serial
int cont_ref=20000;//contador para cambio de la referencia de voltaje
int cont_nm=20000;//contador para impresion del error y del cambio en el error

```

```

/**** Cabeceras para el control difuso *****/

//limites de la funcion de membresia para el error alto y bajo
signed long Lim_mem_bajo=10, Lim_mem_alto=50;
//Variable que almacena el voltaje de referencia
Frac32 V_ref;
//Variables de error, error anterior y cambio del error
Frac16 ek,ek_1,delta_e;
// Grado de pertenencia alto o rápido y bajo o lento
Frac32 ubajo, ualto;
//Grado de membresía del error bajo, error alto y divisor auxiliar
Frac16 ebajo, ealto,divisor;
//Salida del promedio de los grados de membresía
Word32 out_real;
//Límites del error bajo y error alto
signed long X0=LIMITE_BAJO, X1=LIMITE_ALTO;
/*Variables utilizados en la funcion ImplicacionSugeno()*/
Frac32 multibajo, multialto;
Frac32 kpalto, kpbajo,kibajo, kialto;
Frac32 cA_alto, cB_alto,cA_bajo,cB_bajo;

/***** Funciones utilizadas en el programa *****/
//Funciones de la medición del Vrms
void Calc_DFT(void);
//Funcion para sacar raiz cuadrada
Frac32 raiz(Frac32);
//Funcion para obtener el grado de membresía
void membresia(void);
//Función para obtener el grado de pertenencia
void ImplicacionSugeno(void);
//Función para obtener la salida evaluada del algoritmo
void SalidaReal(void);
//----Funciones de la hyperterminal----//
void Referencia_Vrms(void); //Cambia el Vref e imprime Vrms
void Error_y_delta_error(void); //Cambia el Vref e imprime ek y delta_ek
void Valores_Vrms(void); //Imprime Vrms
/*****

int i=0; //Variable auxiliar usada como contador
int calc_DFT=0; //Variable para el cambio entre main y eventos

void main(void)
{

```

```

/* Write your local variable definition here */
/** Processor Expert internal initialization. DON'T REMOVE THIS CODE!!! */
PE_low_level_init();
/** End of Processor Expert internal initialization.          */
/* Write your code here */
AD1_EnableIntTrigger();           //Habilita contador de ADC
V_ref= VREF;                       // Voltaje de referencia
kpalto= KPALTO;                   // Ganancia proporcional alta
kpbajo= KPBAJO;                   // Ganancia proporcional baja
kialto= KIALTO;                   // Ganancia integral alta
kibajo= KIBAJO;                   // Ganancia integral baja

for(;;)
{
    if(calc_DFT)
    {
        /** Funcion para el calculo del Voltaje Vrms */
        Calc_DFT();

        /******* Funciones de la Hyperterminal *****/
        /*
        /* Estas funciones se utilizan para Transmitir a traves de la hyperterminal
        los diversos valores que se desean leer*/

        // Imprime los valores Vrms
        Valores_Vrms();
        // Imprime los valores Vrms y cambia la referencia de voltaje
        Referencia_Vrms();
        // Cambia la referencia de voltaje e imprime el error y el cambio del error
        Error_y_delta_error();

        //Variable utilizada para indicar el fin del calculo del voltaje Vrms
        calc_DFT=0;

        }//Fin del if (calc_DFT)
    }//fin del for infinito
} //fin del main

/******* FUNCIONES de la Hyperterminal *****/

/*******
/*Cambio de referencia y medicion de Vrms */
/*

```

```

/*Al presionar el caracter "v" se imprimen un total de 1300 valores
/*en la hyperterminal con la medicion del voltaje Vrms.
/*A partir del valor 200 se cambia el voltaje
/*de referencia de 520 a 300. A partir del valor 800 el voltaje
/*de referencia nuevamente regresa a 800*/
/*****/
void Referencia_Vrms(void)
{

    if (cont_ref<=1300)
    {
        sprintf(buffer,"%ld\t\t\r",Vrms);
        dirdato=(unsigned char *)buffer;
        AS1_SendChar(*dirdato);// 1 Magnitud.*

        if (cont_ref==200)
            V_ref=300;
        if (cont_ref>=800)
            V_ref=VREF;

        cont_ref++;
        if (cont_ref==40000)
            cont_ref=20000;
    }
}

/*****
/*Cambio de referencia de Vrms y medicion del error y cambio del error*/
/*
/*Al presionar el caracter "v" se imprimen un total de 1300 valores
/*en la hyperterminal con la medicion del error y del cambio del error.
/*A partir del valor 200 se cambia el voltaje
/*de referencia de 520 a 300. A partir del valor 800 el voltaje
/*de referencia nuevamente regresa a 800*/
/*****/
void Error_y_delta_error(void)
{

    if (cont_nm<=1300)
    {
        sprintf(buffer,"%d\t%d\t\t\r",ek,delta_e);
        dirdato=(unsigned char *)buffer;
        AS1_SendChar(*dirdato);// 1 Magnitud.*

        if (cont_nm==200)
            V_ref=300;
    }
}

```

```

        if (cont_nm>=800)
            V_ref=VREF;

        cont_nm++;
        if (cont_nm==40000)
            cont_nm=20000;
    }

}

/*****
/*Medicion del voltaje*/
/*
/*Para realizar esta medicion, se presiona en la hiperteminal
/*el caracter "I" para imprimir en esta un total de 1000 valores midiendo
/*el voltaje Vrms */
*****/
void Valores_Vrms(void)
{
    if (cont_TS<=1000)
    {
        sprintf(buffer,"%ld\\t\\t\\r",Vrms);
        dirdato=(unsigned char*)(buffer);
        AS1_SendChar(*dirdato);// 1 Magnitud.*
        cont_TS++;
    }
}

/***** FUNCIONES Para la medición del voltaje *****/
//Funcion para obtener la raiz cuadrada de algún valor
Frac32 raiz(Frac32 x)
{
    Frac32 r=x,t=0;

    if(x>0)
        do {
            t = r;
            r = (x/r + r)/2;
        } while(t>r);

    return t;
}

```

```

//Funcion para obtener la raiz cuadrada de algún valor

```

```

// Funcion para calcular el voltaje medido en Vrms
///////////////////////////////////////////////////////////////////
void Calc_DFT(void)
{
  /*En esta funcion se mide el voltaje a traves del algoritmo de DFT*/
  static int i,j;
  static Frac16 Re_Im_16[NoFASES][NoDIMENSIONES];
  static Frac16 Mag_Fase_16[NoFASES][NoDIMENSIONES]; //Almacena las fases.
  static Frac32 Mag_Fase_32[NoFASES][NoDIMENSIONES]; //Almacena las magnitudes.

  for(i=0;i<NoFASES;i++)
    for(j=0;j<NoDIMENSIONES;j++)
      Re_Im_16[i][j]=Re_Im_aux_16[i][j];/**/

  for(i=0;i<NoFASES;i++)
  {
    Re_Im_16[i][0]=Re_Im_16[i][0]/FACTOR_1; // FACTOR1:= NoMUESTRAS_ADC/2 = 48
    Re_Im_16[i][1]=Re_Im_16[i][1]/FACTOR_1;

    Mag_Fase_32[i][0]=L_add(L_mult(Re_Im_16[i][0],Re_Im_16[i][0]),L_mult(Re_Im_16[i][1],Re_Im_16
[i][1]));
    Mag_Fase_32[i][0]=raiz(Mag_Fase_32[i][0]);

  }
  Vrms=Mag_Fase_32[0][0]; //en Vrms se guarda el valor calculado
}

/*****Funciones del control difuso*****/

/*=====
*      membresia()
*
* En esta funcion se evalua el error
* y su correspondencia respectiva dentro
* de los limites bajo, alto o intermedio
* de los dos. El resultado se aloja en
* las variables ebajo y ealto cuyos
* valores maximos corresponden a 255
*
=====*/

void membresia()
{
  /*Se evalua primero si el error se encuentra debajo del limite bajo*/
  if (abs(ek)<Lim_mem_bajo)
  {

```

```

        ebajo=255;
        ealto=0;
    }
    else
        /*Despues si se encuentra el error arriba del limite alto*/
        if (abs(ek)>=Lim_mem_alto)
        {
            ebajo=0;
            ealto=255;
        }
        else
            /*Si no se encuentra fuera de los limites de ninguno de los dos
            se procede a efectuar la operacion de ecuacion de la recta para ver el valor
            que le corresponde dentro de ambos limites */
            {
                divisor=Lim_mem_alto-Lim_mem_bajo;
                ebajo=(((Lim_mem_alto-abs(ek))*Q8)/abs(divisor));
                ealto=(((abs(ek)-Lim_mem_bajo)*Q8)/abs(divisor));
            }
    }
}

```

```

/*=====
*      ImplicacionSugeno()
*
* En esta funcion se evaluan las ganancias que
* se obtienen del PI rapido y el PI lento. para
* obtener su grado de membresia de acuerdo al error
* actual y al error anterior
*
*
*=====*/
void ImplicacionSugeno()
{
    /*Aqui se evalua el grado de pertenencia del error de acuerdo a las ecuaciones
    */
    cA_alto=kpalto+kialto;
    cA_bajo=kpbajo+kibajo;
    cB_alto=kpalto;
    cB_bajo=kpbajo;
    ubajo=ubajo+(L_mult(cA_bajo,ek)/Q6)-(L_mult(cB_bajo,ek_1)/Q6);
    ualto=ualto+(L_mult(cA_alto,ek)/Q6)-(L_mult(cB_alto,ek_1)/Q6);
}

/*=====
*      SalidaReal()
*
* Efectúa un promedio del grado de membresia

```

```

* y de pertenencia de las salidas lenta y rapida
* Quitar los comentarios de las primeras lineas
* si se desea forzar el control a rapido o lento
*
=====*/
void SalidaReal()
{
  /*Quitar comentario a la linea siguiente para forzar a ejecutarse al PI rapido*/
  //ealto=255;ebajo=0;//Alto Forzado

  /*Quitar comentario a la linea siguiente para forzar a ejecutarse al PI lento*/
  //ealto=0;ebajo=255;//Bajo Forzado

  /*Aqui se promedian los valores de membresia con su grado de pertenencia
  para dar el valor de salida*/
  multibajo=L_mult(ubajo,ebajo);
  multialto=L_mult(ualto,ealto);
  /*Al final se multiplica por 2 debido a que al utilizar las funciones de operaciones del DSP
  se duplicaba el valor de salida*/
  out_real=((multibajo+multialto))/((ebajo+ealto)*2);
}
/*****/
//////////

/* END DifusPI_dft_ref__A_err_func */
/*
** #####
**
** This file was created by UNIS Processor Expert 2.98 [03.79]
** for the Freescale 56800 series of microcontrollers.
**
** #####

```

A.1.2 Eventos

```

/** #####
**  Filename : Events.C
**  Project  : DifusPI_dft_ref__A_err_func
**  Processor : 56F8323
**  Beantype  : Events
**  Version   : Driver 01.03
**  Compiler  : Metrowerks DSP C Compiler
**  Date/Time : 28/04/2008, 09:57 p.m.
**  Abstract  :
**    This is user's event module.
**    Put your event handler code here.
**  Settings  :
**  Contents  :
**    AD1_OnEnd - void AD1_OnEnd(void);
**
**  (c) Copyright UNIS, spol. s r.o. 1997-2006
**  UNIS, spol. s r.o.
**  Jundrovska 33
**  624 00 Brno
**  Czech Republic
**  http   : www.processorexpert.com
**  mail   : info@processorexpert.com
** #####*/
/* MODULE Events */

```

```

#include "Cpu.h"
#include "Events.h"

```

```

#define NoMUESTRAS_ADC 96 //Muestras que captura el ADC por ciclo de 60 Hz
#define NoFASES        1 //Fases que leen los canales del ADC.
#define NoDIMENSIONES 2 //Valores real e imaginario en la medicion de voltaje de la DFT

```

```

extern int i; //Variable auxiliar empleada como contador

extern unsigned char *dirdato; //Variable utilizada en la lectura del puerto serie
extern char buffer[]; //Variable utilizada en la lectura del puerto serie
word duty_cycle; //Variable utilizada para regular el ancho de ciclo del PWM
unsigned char *dirdatorx; //Variable utilizada en la lectura del puerto serie
extern int cont_TS, cont_ref, cont_nm; //Contadores utilizados para la impresion de datos a la

```

hyperterminal

```

extern Vrms; //Lectura del voltaje medido a la salida del generador

```

```

/*****Cabeceras para el control difuso*****/
extern V_ref;

```

```

Word16 V_pwm;
extern ek,ek_1,out_real,delta_e;
extern void ImplicacionSugeno (void);
extern void membresia (void);
extern void SalidaReal();
extern kpalto,kialto,kpbajo,kibajo , cB_bajo,cA_bajo;

//////////
//////////*****//////////

// Tabla_COS[] y SEN[] "DFT", 96 valores.txt
Frac16 TABLA_COS[NoMUESTRAS_ADC] =
{2048,2043,2030,2008,1978,1939,1892,1836,1773,1702,1624,1539,1448,1350,1246,1137,1024,905,783,6
58,530,399,267,133,0,-134,-268,-400,-531,-659,-784,-906,-1024,-1138,-1247,-1351,-1449,-1540,-1625,-
1703,-1774,-1837,-1893,-1940,-1979,-2009,-2031,-2044,-2048,-2044,-2031,-2009,-1979,-1940,-1893,-
1837,-1774,-1703,-1625,-1540,-1449,-1351,-1247,-1138,-1024,-906,-784,-659,-531,-400,-268,-134,-
1,133,267,399,530,658,783,905,1024,1137,1246,1350,1448,1539,1624,1702,1773,1836,1892,1939,1978,2
008,2030,2043};
Frac16 TABLA_SEN[NoMUESTRAS_ADC] =
{0,133,267,399,530,658,783,905,1024,1137,1246,1350,1448,1539,1624,1702,1773,1836,1892,1939,1978,
2008,2030,2043,2048,2043,2030,2008,1978,1939,1892,1836,1773,1702,1624,1539,1448,1350,1246,1137,
1024,905,783,658,530,399,267,133,0,-134,-268,-400,-531,-659,-784,-906,-1024,-1138,-1247,-1351,-1449,-
1540,-1625,-1703,-1774,-1837,-1893,-1940,-1979,-2009,-2031,-2044,-2048,-2044,-2031,-2009,-1979,-
1940,-1893,-1837,-1774,-1703,-1625,-1540,-1449,-1351,-1247,-1138,-1024,-906,-784,-659,-531,-400,-268,-
134};
Frac16 lec_adc_16[NoFASES][NoMUESTRAS_ADC];
Frac16 lee_adc[NoMUESTRAS_ADC];
extern Frac16 Re_Im_aux_16[NoFASES][NoDIMENSIONES];
extern calc_DFT; //Variable usada para el cambio entre Main y eventos

/*
** =====
** Event : AD1_OnEnd (module Events)
**
** From bean : AD1 [ADC]
** Description :
** This event is called after the measurement (which
** consists of <1 or more conversions>) is/are finished.
** Parameters : None
** Returns : Nothing
** =====
*/
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property
*/
/* is set to 'yes' (#pragma interrupt saveall is generated before the ISR) */
void AD1_OnEnd(void)
{

```

```

/* Write your code here ... */

//Con esta funcion se calcula el voltaje rms de salida

Frac16 tabla_adc_16[3];
static int k,l,cont=0;
static Frac32 Re_Im_Events_32[NoFASES][NoDIMENSIONES];
AD1_GetValue(&tabla_adc_16[0]);
for(k=0;k<NoFASES;k++)
    lec_adc_16[k][cont]=tabla_adc_16[k];/**/

//Multiplica el vector obtenido por las tablas de seno y coseno

for(k=0;k<NoFASES;k++)
{
Re_Im_Events_32[k][0]=L_mac(Re_Im_Events_32[k][0],lec_adc_16[k][cont],TABLA_COS[cont]);//Re
Re_Im_Events_32[k][1]=L_mac(Re_Im_Events_32[k][1],lec_adc_16[k][cont],TABLA_SEN[cont]);//Im.
}/**/
cont++;

// Copia para el main.
if(cont==NoMUESTRAS_ADC)
{
    for(k=0;k<NoFASES;k++)
        for(l=0;l<NoDIMENSIONES;l++)
        {
            Re_Im_aux_16[k][l]=extract_h(Re_Im_Events_32[k][l]);
            Re_Im_Events_32[k][l]=0;
        }/**/
    cont=0;
    calc_DFT=1;
}
}

#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property
*/
/*
** =====
** Event    : AS1_OnTxChar (module Events)
**
** From bean : AS1 [AsynchroSerial]
** Description :
**     This event is called after a character is transmitted.
** Parameters : None
** Returns   : Nothing
** =====
*/

```

```

*/
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property
*/
        /* is set to 'yes' (#pragma interrupt saveall is generated before the ISR) */
void AS1_OnTxChar(void)
{
    /* Write your code here ... */
    //Esta funcion se encarga de transmitir caracteres a traves del puerto serial

    dirdato++;
    if(*dirdato!=NULL)
        AS1_SendChar(*dirdato);/**/

}

/*
** =====
**  Event    : AS1_OnRxChar (module Events)
**
**  From bean : AS1 [AsynchroSerial]
**  Description :
**    This event is called after a correct character is
**    received.
**    DMA mode:
**    If DMA controller is available on the selected CPU and
**    the receiver is configured to use DMA controller then
**    this event is disabled. Only OnFullRxBuf method can be
**    used in DMA mode.
**  Parameters : None
**  Returns    : Nothing
** =====
*/
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property
*/
        /* is set to 'yes' (#pragma interrupt saveall is generated before the ISR) */
void AS1_OnRxChar(void)
{
    /* Write your code here ... */

    //Esta funcion se encarga de recibir datos a traves del puerto serie
    AS1_RecvChar(dirdatorx);
    //Al presionar el caracter "l" en la hyperterminal se imprime el valor del voltaje Vrms medido
    if(*dirdatorx=="l")
    {
        cont_TS=0;
    }

    //Al presionar el caracter"v" en la hyperterminal se imprime el valor del voltaje medido cambiando

```

```

//el valor de referencia
if (*dirdatorx=='v')
{
    cont_ref=0;
}

///Al presionar el caracter "C" en la hyperterminal se imprime el error y el cambio del error cambiando
///el valor de referencia
if(*dirdatorx=='C')
{
    cont_nm=0;
}
}

/*
** =====
** Event    : PWM1_OnEnd (module Events)
**
** From bean : PWM1 [PWM]
** Description :
**     This event is called when the specified number of cycles
**     has been generated. (Only when the bean is enabled -
**     <Enable> and the events are enabled - <EnableEvent>).
** Parameters : None
** Returns   : Nothing
** =====
*/
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property
*/
/* is set to 'yes' (#pragma interrupt saveall is generated before the ISR) */
void PWM1_OnEnd(void)
{
    /* Write your code here ... */
    //Esta funcion se encarga de llevar la variable de salida (duty_cycle) al PWM
    PWM1_SetRatio16(duty_cycle);
}

/*
** =====
** Event    : T11_OnInterrupt (module Events)
**
** From bean : T11 [TimerInt]
** Description :
**     When a timer interrupt occurs this event is called (only
**     when the bean is enabled - "Enable" and the events are
**     enabled - "EnableEvent").
** Parameters : None

```

```

** Returns : Nothing
** =====
*/
#pragma interrupt called /* Comment this line if the appropriate 'Interrupt preserve registers' property
*/
/* is set to 'yes' (#pragma interrupt saveall is generated before the ISR) */
void TI1_OnInterrupt(void)
{
/* Write your code here ... */

//Calculo del error error=Voltaje referencia - Voltaje medido
ek=V_ref-Vrms;
//En esta funcion se evaluan los valores de membresia del error

membresia();
//En esta funcion se evaluan los valores de la pertenencia Sugeno
ImplicacionSugeno();
//en esta variable se graba el cambio del error
delta_e=ek-ek_1;
//Una vez evaluado lo anterior el error actual se vuelve error anterior
ek_1=ek;
//En esta funcion se evalua la salida del grado de pertenencia PI alto y PI bajo
SalidaReal();
//En esta funcion se da el valor final que tomará el periferico PWM
//Pregunta primeramente si hay lectura de voltaje para empezar a efectuar el control
if (Vrms>1)
{
//Pregunta si el valor de salida es positivo o negativo
if(out_real>=0)
{
/*Al ser un valor postivo trata de que no exceda el valor maximo admitido por la
variable 65535 por lo que se coloca un candado de seguridad ubicando el maximo valor en 62000 a fin de
evitar desbordamientos no deseados en esta.*/
if (duty_cycle<63000)
duty_cycle=duty_cycle+out_real;
else
duty_cycle=62000;
}
else
{ /*El mismo caso ocurre cuando es un valor negativo ubicando el valor minimo en
2100 a fin de evitar desbordamientos de la variable no deseados*/
if (duty_cycle>2000)
duty_cycle=duty_cycle+out_real;
else
duty_cycle=2100;
}
}
}
}

```

/* END Events */

```
/*  
** #####  
**  
** This file was created by UNIS Processor Expert 2.98 [03.79]  
** for the Freescale 56800 series of microcontrollers.  
**  
** #####  
**//
```

B. Características de periféricos del DSP56F8323.

B.1 Periféricos del DSP56F8323.

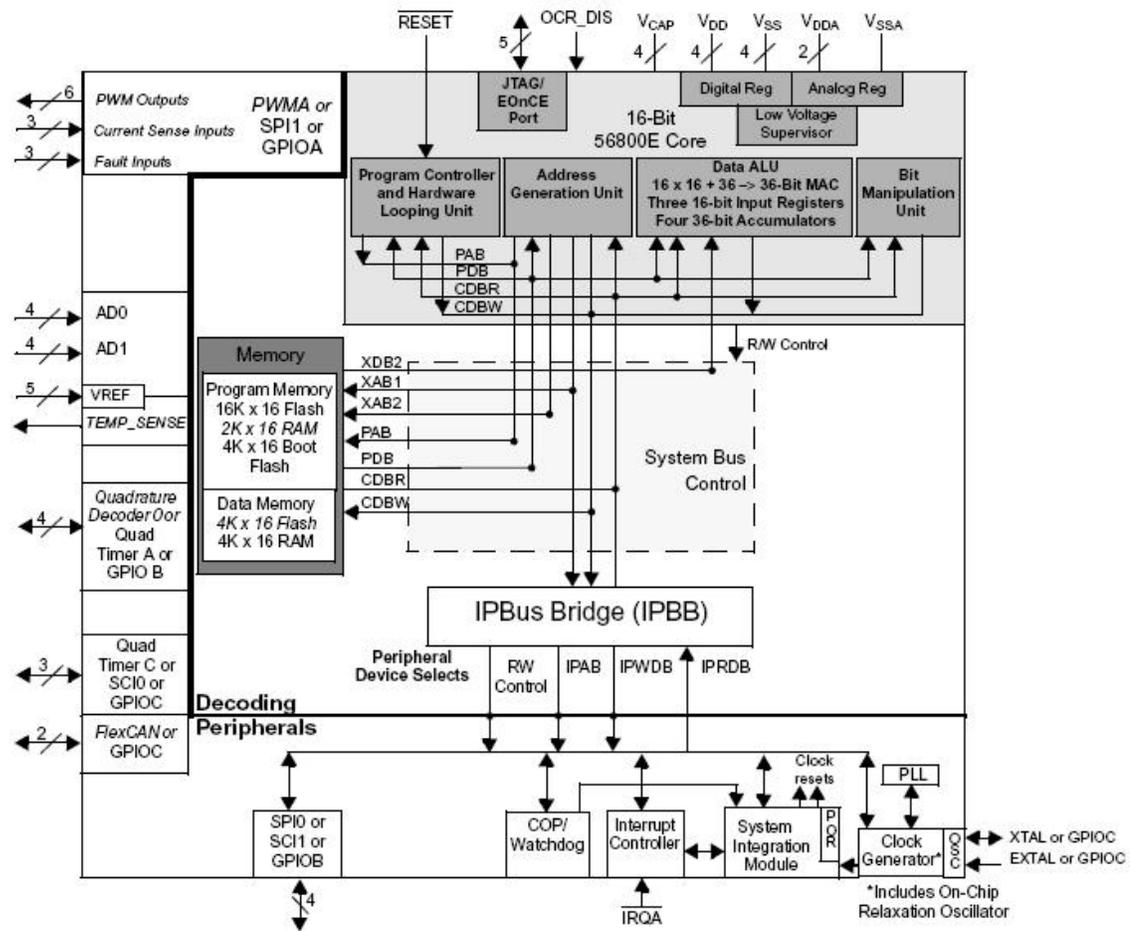


Figura B.1 Bloques de dispositivos del microcontrolador DSP56F8323

En la figura B.1 se presentan los bloques periféricos del microcontrolador DSP56F8323, con la siguiente descripción general [16,17,26]:

- Núcleo del microcontrolador procesando 60 millones de instrucciones por segundo (MIPS).
- Memoria de programa Flash (32Kb)
- Memoria de programa RAM (4Kb)
- Memoria de datos Flash (8Kb)

-
- Memoria de datos RAM (8Kb)
 - Interfase para memoria externa (EMI)
 - Dos convertidores de 12 bits Analógico a Digital (ADC) de 4 entradas multiplexadas cada uno
 - Sensor de temperatura con conexión directa al ADC
 - Decodificadores de cuadratura
 - CAN flexible. Protocolo de red de área controlada (CAN) con dos puertos para transmisión y recepción.
 - Módulo emulación JTAG/En el chip (OnCE™). Permite interactuar y depurar el núcleo del DSP en tiempo real.
 - Regulador de voltaje. Protección para un rango de 3.3 v $\pm 10\%$
 - Control de interrupciones mediante Registro de Prioridad de Interrupción (IPR).
 - Supervisor de potencia. Interrupciones por bajos y altos voltajes de alimentación.
 - Generador de reloj del sistema.
 - 14 pines dedicados I/O de propósito general (GPIO), 18 pines multiplexados GPIO.
 - Circuito vigilante, computadora operando propiamente (COP) /reloj watchdog.
 - Interfaces de comunicación serial asíncrona (SCIs)
 - Interfaces de comunicación serial síncrona para periféricos seriales síncronos (SPIs)
 - Un módulo de modulación por anchura de pulso con seis salidas PWM.

B.2 Características del ADC.

Las características del ADC [16,27] son:

- Resolución de 12 bits.
- La Frecuencia de reloj ADC máxima es de 5MHz o periodo de 200ns.
- Rango de muestreo arriba de 1.66 millones de muestras por segundo.
- Tiempo de conversión sencilla de 8.5 ciclos de reloj del ADC ($8.5 \times 200ns = 1.7 \mu s$).

-
- Tiempo de conversión adicional 6 ciclos de reloj del ADC ($6 \times 200ns = 1.2\mu s$).
 - Ocho conversiones en 26.5 ciclos de reloj del ADC ($266.5 \times 200ns = 5.3\mu s$) usando modo simultaneo.
 - Las conversiones del ADC pueden ser sincronizadas por el temporizador y el módulo de modulación por anchura de pulso (PWM).
 - Muestreo simultáneo o secuencial.
 - Capacidad para muestreo simultáneo y retención de dos entradas.
 - Capacidad para escaneo secuencial y almacenamiento de ocho mediciones.
 - Multiplexado interno para seleccionar dos de ocho entradas.
 - Interrupción al finalizar de escanear, un límite fuera de rango o cruce por cero.
 - Adición de un nivel de CD (Offset) para obtener resultados signados y no signados.

B.3 Características de los temporizadores de cuadratura.

Los temporizadores de cuadratura tienen las siguientes características [16,27]:

- Cuatro contadores de 16 bits
- Capacidad de conteo en incremento o decremento.
- Conteos en cascada.
- Velocidad de conteo máxima es de reloj periférico/2 para relojes externos.
- Velocidad de conteo máxima es de reloj periférico para relojes internos.
- Conteo de una vez o repetidamente.
- Los contadores pueden ser precargados.
- Los contadores pueden compartir los pines de entrada disponibles.
- Separado pre-escalador para cada contador.
- Cada contador es capaz de comparar y capturar.
- Decodificador de cuadratura

B.4 Características de la interfaz de comunicación serial.

La interfaz de comunicación serial tiene las siguientes características [16,27]:

- Selección del rango de baudios de 13 bits.
- Formato de dato programable de 8 – 9 bits.
- Habilitación separada de transmisión y recepción.
- Interrupciones separadas de recepción y transmisión.
- Polaridad programable para recepción y transmisión.
- Dos métodos de activación de recepción:
 - Línea en paro
 - Marca de dirección
- Operación del control de interrupciones con siete banderas.
 - Transmisor vacío
 - Transmisor ocioso
 - Receptor lleno
 - Desbordamiento del receptor
 - Error por ruido
 - Error de cuadratura
 - Error de paridad

B.5 Características de los pines GPIO.

Los pines GPIO tienen las siguientes características [16,27]:

- Control individual de cada pin para ser utilizado por un periférico (modo normal) o como entrada y salida de propósito general (GPIO).
- Control de dirección Individual para cada pin en el modo de GPIO.
- Optimizado para el uso con una interfaz del teclado con resistencias de polarización hacia el lado positivo o negativo de la fuente (push pull I/O)

- Capacidad para aceptar interrupciones.

B.6 Capacidades del OnCE

Las capacidades del OnCE [16,27] son:

- Análisis o cambio de los contenidos de los registros de memoria del núcleo.
- Análisis o cambio del programa o memoria de datos.
- Ejecución a velocidad máxima de una o más instrucciones.
- Permite salvar los cambios de alguna instrucción.
- Muestra el contenido de las instrucciones en tiempo real.
- Permite la transferencia de datos entre el núcleo y dispositivos externos mediante el uso de registro de periféricos.
- Acceso al OnCE mediante el JTAG.
- Provee estados de eventos localizados en el registro de estado.
- Contiene gran variedad de eventos incluyendo ciclos de reloj e instrucciones ejecutadas.
- Depuración en cualquiera de las siguientes formas:
 - Instrucciones del microprocesador
 - Acciones en el OnCE
 - El puerto JTAG
- Interrupción o ruptura dentro del modo depuración en las direcciones de la memoria de programa.
- Retornar a uso normal.

B.7 Modulador de Ancho de Pulso (PWM)

Las capacidades del PWM son [27]:

- Seis señales PWM
- Todos independientes
- Características de operación de canal complementario
- Inserción de tiempos muerte
- Retornar a uso normal.
- Señales de PWM alineadas por filo o por centro
- 15 bits de resolución
- Capacidad de retorno por medio ciclo
- Salida de PWM controlado por software individual
- Protección de falla programada
- Control de Polaridad
- Registros protegidos contra escritura

B.8 Joint Test Action Group (JTAG)

El JTAG se refiere al Standard de comunicaciones de la IEEE 1149.1 permitiendo el acceso para probar las características del dispositivo. Este se comunica a través de un puerto de acceso de prueba (TAP).

Sus características son: [27]

- Realizar operaciones de exploración de frontera para probar la continuidad eléctrica del circuito
- Realizar un By-Pass del TAP para una determinada placa de circuito de prueba mediante la sustitución del escaneo de registros de frontera (BSR)
- Muestreo de los pines de sistema mediante la operación y el desplazamiento de los bits en el BSR
- Deshabilitar los pines de salida mediante se realiza la prueba de la tarjeta de circuito.

C. Hojas de datos de los elementos empleados en la interfaz de potencia



DM74LS04
Hex Inverting Gates

General Description
This device contains six independent gates each of which performs the logic INVERT function.

August 1986
Revised March 2000

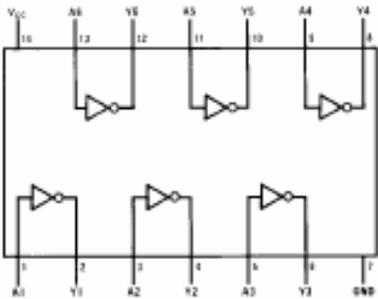
DM74LS04 Hex Inverting Gates

Ordering Code:

Order Number	Package Number	Package Description
DM74LS04M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS04SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS04N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter 'X' to the ordering code.

Connection Diagram



Function Table

$Y = \bar{A}$

Input A	Output Y
L	H
H	L

H = HIGH Logic Level
L = LOW Logic Level

© 2000 Fairchild Semiconductor Corporation D5006345
www.fairchildsemi.com

FAIRCHILD
SEMICONDUCTOR®

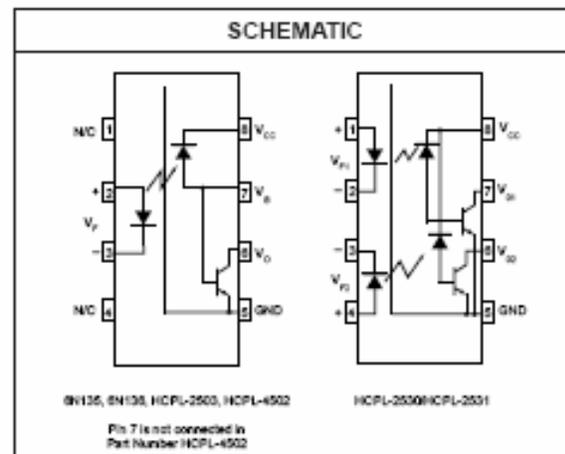
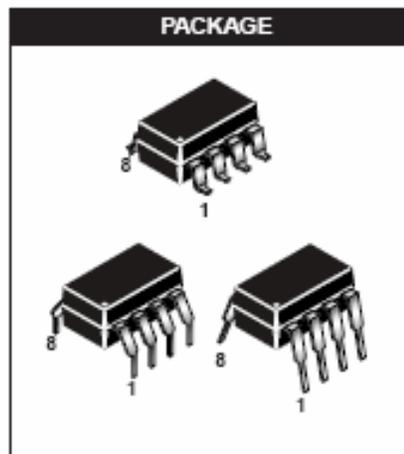
HIGH SPEED TRANSISTOR OPTOCOUPLEDERS

SINGLE-CHANNEL: 6N135
DUAL-CHANNEL: HCPL-2530

6N136
HCPL-2531

HCPL-2503

HCPL-4502



DESCRIPTION

The HCPL-4502/HCPL-2503, 6N135/6 and HCPL-2530/HCPL-2531 optocouplers consist of an AlGaAs LED optically coupled to a high speed photodetector transistor.

A separate connection for the bias of the photodiode improves the speed by several orders of magnitude over conventional phototransistor optocouplers by reducing the base-collector capacitance of the input transistor.

An internal noise shield provides superior common mode rejection of 10kV/us. An improved package allows superior insulation permitting a 480 V working voltage compared to industry standard of 220 V.

FEATURES

- High speed-1 MBit/s
- Superior CMR-10 kV/us
- Dual-Channel HCPL-2530/HCPL-2531
- Double working voltage-480V RMB
- CTR guaranteed 0-70°C
- U.L. recognized (File # E90700)

APPLICATIONS

- Line receivers
- Pulse transformer replacement
- Output interface to CMOS-LSTTL-TTL
- Wide bandwidth analog coupling



HIGH SPEED TRANSISTOR OPTOCOUPLEDERS

SINGLE-CHANNEL: 6N135 6N136 HCPL-2503 HCPL-4502
 DUAL-CHANNEL: HCPL-2530 HCPL-2531

ABSOLUTE MAXIMUM RATINGS ($T_A = 25^\circ\text{C}$ unless otherwise specified)				
Parameter		Symbol	Value	Units
Storage Temperature		T_{STG}	-55 to +125	$^\circ\text{C}$
Operating Temperature		T_{OPR}	-55 to +100	$^\circ\text{C}$
Lead Solder Temperature		T_{SOL}	260 for 10 sec	$^\circ\text{C}$
EMITTER				
DC/Average Forward Input Current	Each Channel (Note 1)	I_F (avg)	25	mA
Peak Forward Input Current (50% duty cycle, 1 ms P.W.)	Each Channel (Note 2)	I_F (pk)	50	mA
Peak Transient Input Current - ($\leq 1 \mu\text{s}$ P.W., 300 pps)	Each Channel	I_F (trans)	1.0	A
Reverse Input Voltage	Each Channel	V_R	5	V
Input Power Dissipation	(6N135/6N136 and HCPL-2503/4502) (HCPL-2530/2531) Each Channel (Note 3)	P_D	100 45	mW
DETECTOR				
Average Output Current	Each Channel	I_O (avg)	8	mA
Peak Output Current	Each Channel	I_O (pk)	16	mA
Emitter-Base Reverse Voltage	(6N135, 6N136 and HCPL-2503 only)	V_{EBR}	5	V
Supply Voltage		V_{CC}	-0.5 to 30	V
Output Voltage		V_O	-0.5 to 20	V
Base Current	(6N135, 6N136 and HCPL-2503 only)	I_B	5	mA
Output power dissipation	(6N135, 6N136, HCPL-2503, HCPL-4502) (Note 4) (HCPL-2530, HCPL-2531) Each Channel	P_D	100 35	mW

HIGH AND LOW SIDE DRIVER

Features

- Floating channel designed for bootstrap operation
 Fully operational to +500V or +600V
 Tolerant to negative transient voltage
 dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
 Separate logic supply range from 3.3V to 20V
 Logic and power ground $\pm 5V$ offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

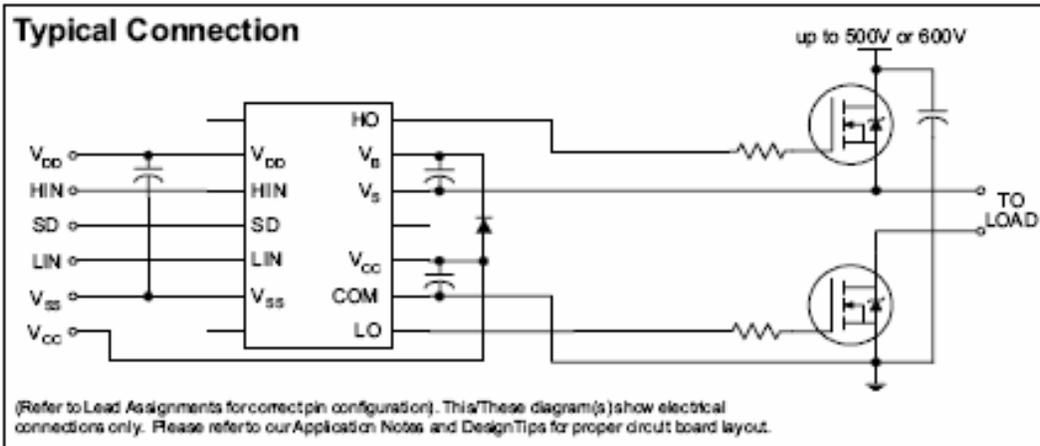
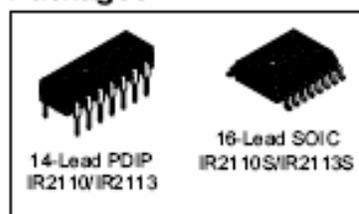
Product Summary

V_{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
$I_{O+/-}$	2A / 2A
V_{OUT}	10 - 20V
$t_{on/off}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Packages



IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IGR Rectifier

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply voltage (IR2110)	-0.3	525	V
	(IR2113)	-0.3	625	
V _S	High side floating supply offset voltage	V _B - 25	V _B + 0.3	
V _{HO}	High side floating output voltage	V _S - 0.3	V _B + 0.3	
V _{CC}	Low side fixed supply voltage	-0.3	25	
V _{LO}	Low side output voltage	-0.3	V _{CC} + 0.3	
V _{DD}	Logic supply voltage	-0.3	V _{SS} + 25	
V _{SS}	Logic supply offset voltage	V _{CC} - 25	V _{CC} + 0.3	
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS} - 0.3	V _{DD} + 0.3	
dV _S /dt	Allowable offset supply voltage transient (figure 2)	—	50	
P _D	Package power dissipation @ T _A ≤ +25°C (14 lead DIP) (16 lead SOIC)	—	1.6	W
		—	1.25	
R _{THJA}	Thermal resistance, junction to ambient (14 lead DIP) (16 lead SOIC)	—	75	°C/W
		—	100	
T _J	Junction temperature	—	150	°C
T _S	Storage temperature	-55	150	
T _L	Lead temperature (soldering, 10 seconds)	—	300	

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply absolute voltage	V _S + 10	V _S + 20	V
V _S	High side floating supply offset voltage (IR2110)	Note 1	500	
	(IR2113)	Note 1	600	
V _{HO}	High side floating output voltage	V _S	V _B	
V _{CC}	Low side fixed supply voltage	10	20	
V _{LO}	Low side output voltage	0	V _{CC}	
V _{DD}	Logic supply voltage	V _{SS} + 3	V _{SS} + 20	
V _{SS}	Logic supply offset voltage	-5 (Note 2)	5	
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS}	V _{DD}	
T _A	Ambient temperature	-40	125	°C

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to -V_{SS}. (Please refer to the Design Tip DT97-3 for more details).

Note 2: When V_{DD} < 5V, the minimum V_{SS} offset is limited to -V_{DD}.

International
IR Rectifier

PD 91466E

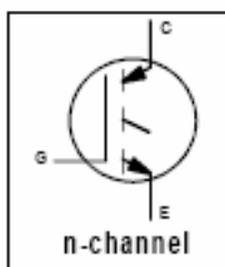
IRG4PC40U

INSULATED GATE BIPOLAR TRANSISTOR

UltraFast Speed IGBT

Features

- UltraFast: Optimized for high operating frequencies 8-40 kHz in hard switching, >200 kHz in resonant mode
- Generation 4 IGBT design provides tighter parameter distribution and higher efficiency than Generation 3
- Industry standard TO-247AC package



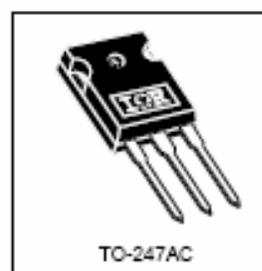
$V_{CES} = 600V$

$V_{CE(on)typ.} = 1.72V$

$@V_{GE} = 15V, I_C = 20A$

Benefits

- Generation 4 IGBT's offer highest efficiency available
- IGBT's optimized for specified application conditions
- Designed to be a "drop-in" replacement for equivalent industry-standard Generation 3 IR IGBT's

**Absolute Maximum Ratings**

	Parameter	Max.	Units
V_{CES}	Collector-to-Emitter Voltage	600	V
$I_C @ T_C = 25^\circ C$	Continuous Collector Current	40	A
$I_C @ T_C = 100^\circ C$	Continuous Collector Current	20	
I_{CM}	Pulsed Collector Current Φ	160	
I_{LM}	Clamped Inductive Load Current Φ	160	
V_{GE}	Gate-to-Emitter Voltage	± 20	V
E_{AV}	Reverse Voltage Avalanche Energy Φ	15	mJ
$P_D @ T_C = 25^\circ C$	Maximum Power Dissipation	160	W
$P_D @ T_C = 100^\circ C$	Maximum Power Dissipation	65	
T_J	Operating Junction and Storage Temperature Range	-55 to +150	$^\circ C$
	Soldering Temperature, for 10 sec.	300 (0.063 in. (1.6mm) from case)	
	Mounting torque, 6-32 or M3 screw.	10 lbf·in (1.1N·m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	-----	-----	0.77	$^\circ C/W$
$R_{\theta CS}$	Case-to-Sink, flat, greased surface	-----	0.24	-----	
$R_{\theta JA}$	Junction-to-Ambient, typical socket mount	-----	-----	40	
Wt	Weight	-----	6 (0.21)	-----	g (oz)

www.irf.com

1
12/30/00

FAIRCHILD
SEMICONDUCTOR*

March 2006

2KBP005M/3N253 - 2KBP10M/3N259

Bridge Rectifiers

Features

- Surge overload rating: 60 amperes peak.
- Reliable low cost construction utilizing molded plastic technique.
- UL certified, UL #E111753.



Absolute Maximum Ratings * $T_c = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Value							Units
		005M 253	01M 254	02M 255	04M 256	06M 257	08M 258	10M 259	
V_{RRM}	Maximum Repetitive Reverse Voltage	50	100	200	400	600	800	1000	V
V_{RMS}	Maximum RMS Bridge Input Voltage	35	70	140	280	420	560	700	V
V_R	DC Reverse Voltage (Rated V_R)	50	100	200	400	600	800	1000	V
$I_{F(AV)}$	Average Rectified Forward Current, @ $T_A = 50^\circ\text{C}$	2.0							A
I_{FSM}	Non-Repetitive Peak Forward Surge Current 8.3ms Single Half-Sine-Wave	60							A
T_{STG}	Storage Temperature Range	-55 to +150							$^\circ\text{C}$
T_J	Junction Temperature	-55 to +150							$^\circ\text{C}$

* These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

Thermal Characteristics

Symbol	Parameter	Value	Units
P_D	Power Dissipation	4.7	W
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient, * per leg	18	$^\circ\text{C}/\text{W}$

* Device mounted on PCB with 0.47×0.47 (12 × 12mm).

Electrical Characteristics $T_c = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Value	Units
V_F	Forward Voltage, per element @ 3.14A	1.1	V
I_R	Reverse Current, per element @ Rated V_R	$T_A = 25^\circ\text{C}$ 50 $T_A = 125^\circ\text{C}$ 500	μA μA
	ρT Rating for Fusing $t = 8.35\text{ms}$	15	A^2s
C_T	Total Capacitance, per leg $V_R = 4.0\text{V}$, $f = 1.0\text{MHz}$	25	pF

KA78XX/KA78XXA

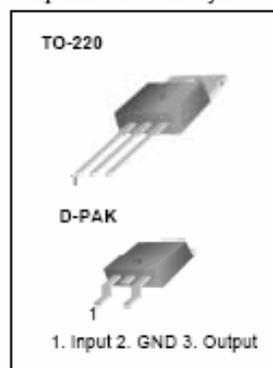
3-Terminal 1A Positive Voltage Regulator

Features

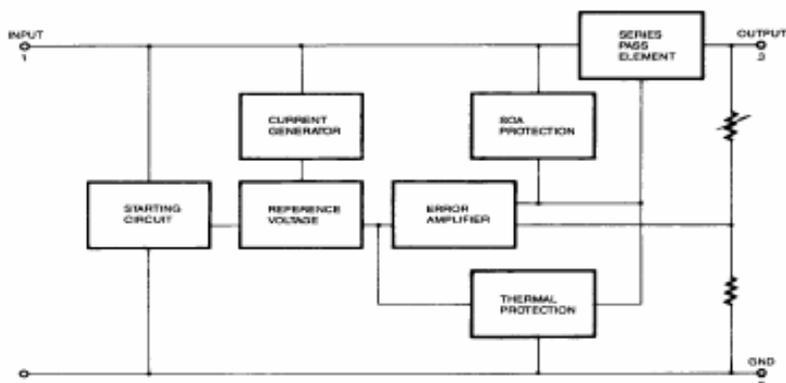
- Output Current up to 1A
- Output Voltages of 5, 6, 8, 9, 10, 12, 15, 18, 24V
- Thermal Overload Protection
- Short Circuit Protection
- Output Transistor Safe Operating Area Protection

Description

The KA78XX/KA78XXA series of three-terminal positive regulator are available in the TO-220/D-PAK package and with several fixed output voltages, making them useful in a wide range of applications. Each type employs internal current limiting, thermal shut down and safe operating area protection, making it essentially indestructible. If adequate heat sinking is provided, they can deliver over 1A output current. Although designed primarily as fixed voltage regulators, these devices can be used with external components to obtain adjustable voltages and currents.



Internal Block Diagram



Rev. 1.0.0

©2001 Fairchild Semiconductor Corporation

KA78XX/KA78XXA

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Input Voltage (for $V_O = 5V$ to $18V$) (for $V_O = 24V$)	V_I	35	V
	V_I	40	V
Thermal Resistance Junction-Cases (TO-220)	$R_{\theta JC}$	5	$^{\circ}C/W$
Thermal Resistance Junction-Air (TO-220)	$R_{\theta JA}$	65	$^{\circ}C/W$
Operating Temperature Range (KA78XX/A/R)	T_{OPR}	0 ~ +125	$^{\circ}C$
Storage Temperature Range	T_{STG}	-65 ~ +150	$^{\circ}C$

Electrical Characteristics (KA7805/KA7805R)

(Refer to test circuit, $0^{\circ}C < T_J < 125^{\circ}C$, $I_O = 500mA$, $V_I = 10V$, $C_I = 0.33\mu F$, $C_O = 0.1\mu F$, unless otherwise specified)

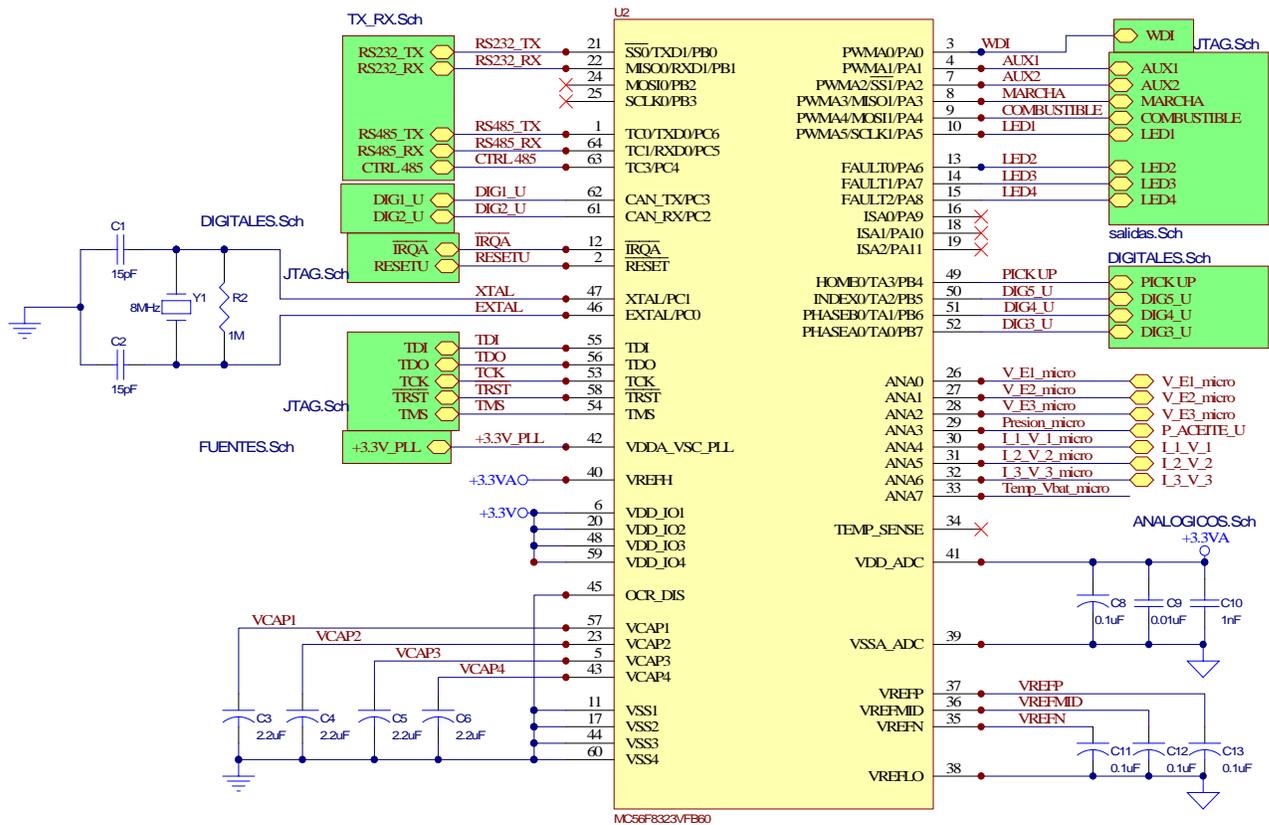
Parameter	Symbol	Conditions	KA7805			Unit	
			Min.	Typ.	Max.		
Output Voltage	V_O	$T_J = +25^{\circ}C$	4.8	5.0	5.2	V	
		$5.0mA \leq I_O \leq 1.0A$, $P_O \leq 15W$ $V_I = 7V$ to $20V$	4.75	5.0	5.25		
Line Regulation (Note1)	Regline	$T_J = +25^{\circ}C$	$V_O = 7V$ to $25V$	-	4.0	100	mV
			$V_I = 8V$ to $12V$	-	1.6	50	
Load Regulation (Note1)	Regload	$T_J = +25^{\circ}C$	$I_O = 5.0mA$ to $1.5A$	-	9	100	mV
			$I_O = 250mA$ to $750mA$	-	4	50	
Quiescent Current	I_Q	$T_J = +25^{\circ}C$	-	5.0	8.0	mA	
Quiescent Current Change	ΔI_Q	$I_O = 5mA$ to $1.0A$ $V_I = 7V$ to $25V$	-	0.03	0.5	mA	
			-	0.3	1.3		
Output Voltage Drift	$\Delta V_O / \Delta T$	$I_O = 5mA$	-	-0.8	-	mV/ $^{\circ}C$	
Output Noise Voltage	V_N	$f = 10Hz$ to $100KHz$, $T_A = +25^{\circ}C$	-	42	-	$\mu V/V_O$	
Ripple Rejection	RR	$f = 120Hz$ $V_O = 8V$ to $18V$	62	73	-	dB	
Dropout Voltage	V_{Drop}	$I_O = 1A$, $T_J = +25^{\circ}C$	-	2	-	V	
Output Resistance	r_O	$f = 1KHz$	-	15	-	m Ω	
Short Circuit Current	I_{SC}	$V_I = 35V$, $T_A = +25^{\circ}C$	-	230	-	mA	
Peak Current	I_{PK}	$T_J = +25^{\circ}C$	-	2.2	-	A	

Note:

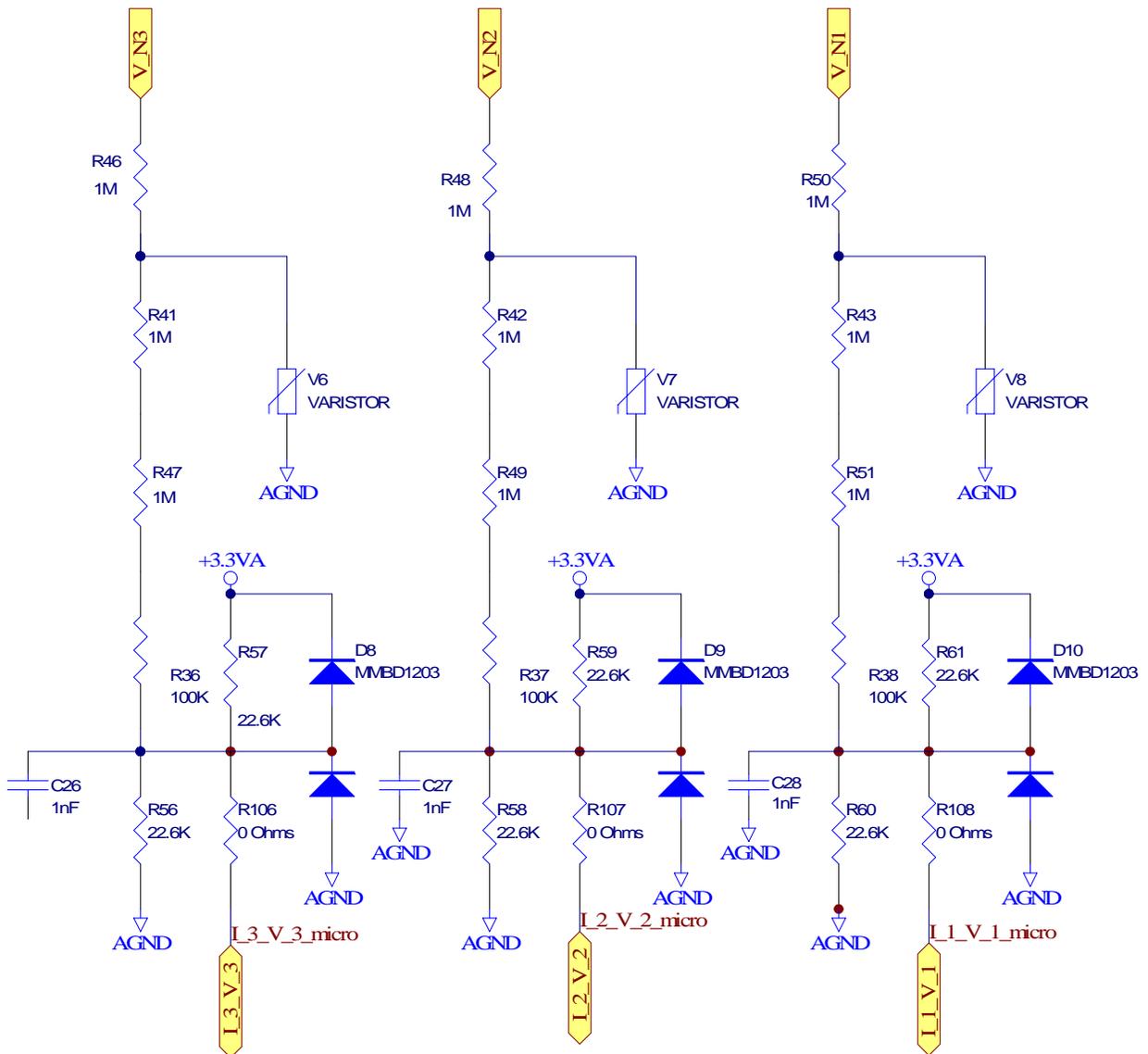
1. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty is used.

D. Diagramas de conexión de los periféricos de la tarjeta CTPE-V4 al DSP

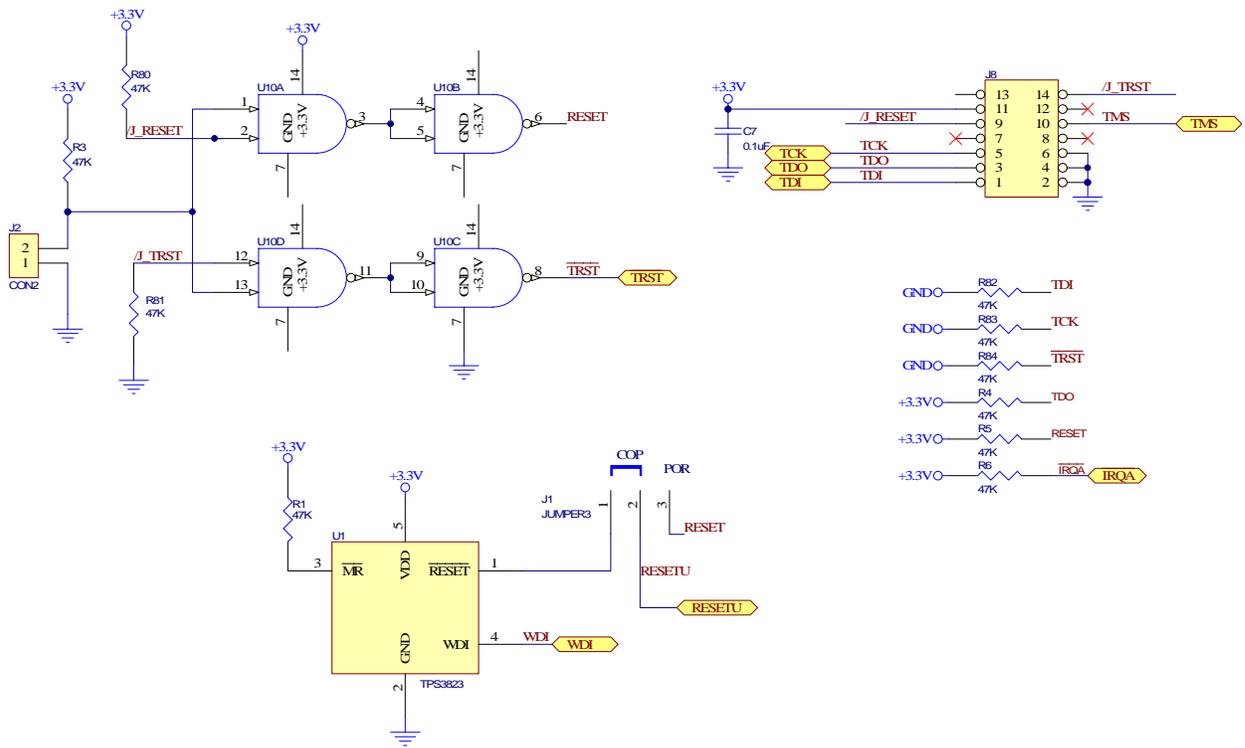
D.1 Conexión del DSP a sus periféricos



D.2 Entradas Analógicas



D.3 Conector de comunicaciones y programación



D.4 Salidas

